

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Mitsuru KANEDA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR SUBSTRATE WITH DEFECTS REDUCED OR REMOVED AND METHOD OF MANUFACTURING THE SAME, AND SEMICONDUCTOR DEVICE CAPABLE OF BIDIRECTIONALLY RETAINING BREAKDOWN VOLTAGE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☒ Full benefit of the filing date of U.S. Application Serial Number 10/366,520, filed February 14, 2003, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-280666	September 26, 2002
Japan	2003-194129	July 9, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith (2003-194129; filed July 9, 2003)

☐ will be submitted prior to payment of the Final Fee

☒ (2002-280666; filed September 26, 2002) was filed in prior application Serial No. 10/366,520 filed February 14, 2003

☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

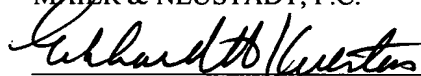
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAYER & NEUSTADT, P.C.



Gregory J. Maier

Registration No. 25,599

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

Eckhard H. Kuesters  
Registration No. 28,870

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   7 月   9 日  
Date of Application:

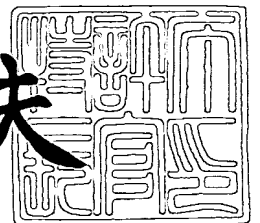
出 願 番 号            特 願 2 0 0 3 - 1 9 4 1 2 9  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 9 4 1 2 9 ]

出      願      人            三 菱 電 機 株 式 有 限 公 司  
Applicant(s):

2 0 0 3 年   7 月 3 0 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号    出 証 特 2 0 0 3 - 3 0 6 0 6 6 2

【書類名】 特許願

【整理番号】 541070JP02

【提出日】 平成15年 7月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 金田 充

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 高橋 英樹

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100089233

    【弁理士】

    【氏名又は名称】 吉田 茂明

【選任した代理人】

    【識別番号】 100088672

    【弁理士】

    【氏名又は名称】 吉竹 英俊

【選任した代理人】

    【識別番号】 100088845

    【弁理士】

    【氏名又は名称】 有田 貴弘

**【先の出願に基づく優先権主張】****【出願番号】** 特願2002-280666**【出願日】** 平成14年 9月26日**【手数料の表示】****【予納台帳番号】** 012852**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9806920**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体基板及びその製造方法並びに、半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 互いに対向する第 1 主面及び第 2 主面を有する、第 1 導電型の基板と、

不純物の拡散によって前記第 1 主面内に形成された、前記第 1 導電型とは異なる第 2 導電型の不純物拡散層と、

不純物の拡散によって前記第 2 主面内に部分的に形成され、前記不純物拡散層に達する底面を有し、平面視上前記基板の前記第 1 導電型の部分を取り囲む、前記第 2 導電型の不純物拡散領域と

を備え、

前記不純物拡散領域によって取り囲まれた部分が素子形成領域として規定される、半導体基板。

【請求項 2】 前記不純物拡散層の厚みは、前記第 2 主面からの前記不純物拡散領域の深さに略等しい、請求項 1 に記載の半導体基板。

【請求項 3】 前記第 1 主面から前記基板の内部方向に向かっての前記不純物拡散層の不純物濃度分布は、前記第 2 主面から前記基板の内部方向に向かっての前記不純物拡散領域の不純物濃度分布に略等しい、請求項 1 に記載の半導体基板。

【請求項 4】 前記不純物拡散層の厚みは、前記第 2 主面からの前記不純物拡散領域の深さよりも薄い、請求項 1 に記載の半導体基板。

【請求項 5】 (a) 互いに対向する第 1 主面及び第 2 主面を有する、第 1 導電型の基板、(b) 不純物の拡散によって前記第 1 主面内に形成された、前記第 1 導電型とは異なる第 2 導電型の不純物拡散層、及び (c) 不純物の拡散によって前記第 2 主面内に部分的に形成され、前記不純物拡散層に達する底面を有し、平面視上前記基板の前記第 1 導電型の部分を取り囲む、前記第 2 導電型の不純物拡散領域とを備え、前記不純物拡散領域によって取り囲まれた部分が素子形成領域として規定される半導体基板と、

前記素子形成領域内において、前記第 2 主面内に部分的に形成された、前記第 2 導電型の第 1 の不純物領域と  
を備える、半導体装置。

【請求項 6】 前記第 1 の不純物領域内において、前記第 2 主面内に部分的に形成された、前記第 1 導電型の第 2 の不純物領域をさらに備え、

前記第 1 の不純物領域は、トランジスタのベースとして機能し、

前記第 2 の不純物領域は、前記トランジスタのエミッタとして機能し、

前記不純物拡散層は、前記トランジスタのコレクタとして機能する、請求項 5 に記載の半導体装置。

【請求項 7】 前記第 2 の不純物領域と前記基板の前記第 1 導電型の部分との間に位置する前記第 1 の不純物領域の上方において、ゲート絶縁膜を挟んで前記第 2 主面上に形成されたゲート電極をさらに備える、請求項 6 に記載の半導体装置。

【請求項 8】 前記基板の前記第 1 導電型の部分内に形成された局所ライフタイム領域をさらに備える、請求項 6 又は 7 に記載の半導体装置。

【請求項 9】 前記局所ライフタイム領域は、前記基板の前記第 1 導電型の部分の膜厚方向に関する略中央領域にプロトンを注入することによって形成された第 1 の局所ライフタイム領域を有する、請求項 8 に記載の半導体装置。

【請求項 10】 前記局所ライフタイム領域は、前記第 1 の局所ライフタイム領域よりも前記不純物拡散層側にヘリウムを注入することによって形成された第 2 の局所ライフタイム領域をさらに有する、請求項 9 に記載の半導体装置。

【請求項 11】 前記第 1 主面上に形成され、前記不純物拡散層に接触する第 1 の主電極と、

前記第 2 主面上に形成され、前記第 1 及び第 2 の不純物領域に接触する第 2 の主電極と

をさらに備える、請求項 6 ～ 10 のいずれか一つに記載の半導体装置。

【請求項 12】 (a) 互いに対向する第 1 主面及び第 2 主面を有する、第 1 導電型の基板、(b) 前記第 1 主面内に形成され、トランジスタのコレクタとして機能する、前記第 1 導電型とは異なる第 2 導電型の不純物拡散層、及び(c

）前記第 2 主面内に部分的に形成され、前記不純物拡散層に達する底面を有し、平面視上前記基板の前記第 1 導電型の部分を取り囲む、前記第 2 導電型の不純物拡散領域とを備え、前記不純物拡散領域によって取り囲まれた部分が素子形成領域として規定される半導体基板と、

前記素子形成領域内において前記第 2 主面内に部分的に形成され、前記トランジスタのベースとして機能する、前記第 2 導電型の第 1 の不純物領域と、

前記第 1 の不純物領域内において前記第 2 主面内に部分的に形成され、前記トランジスタのエミッタとして機能する、前記第 1 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域と前記基板の前記第 1 導電型の部分との間に位置する前記第 1 の不純物領域の上方において、ゲート絶縁膜を挟んで前記第 2 主面上に形成されたゲート電極と、

前記基板の前記第 1 導電型の部分の膜厚方向に関する略中央領域にプロトンを注入することによって形成された第 1 の局所ライフタイム領域とを備える、半導体装置。

【請求項 13】 前記基板の前記第 1 導電型の部分内において、前記第 1 の局所ライフタイム領域よりも前記不純物拡散層側にヘリウムを注入することによって形成された第 2 の局所ライフタイム領域をさらに備える、請求項 12 に記載の半導体装置。

【請求項 14】 (a) 互いに対向する第 1 主面及び第 2 主面を有する、第 1 導電型の基板を準備する工程と、

(b) 前記第 1 主面から前記基板内に第 1 の不純物を拡散することによって、前記第 1 導電型とは異なる第 2 導電型の不純物拡散層を形成する工程と、

(c) 前記第 2 主面の一部から前記基板内に第 2 の不純物を拡散することによって、前記不純物拡散層に達する底面を有し、平面視上前記基板の前記第 1 導電型の部分を取り囲む、前記第 2 導電型の不純物拡散領域を形成する工程とを備え、

前記不純物拡散領域によって取り囲まれた部分が素子形成領域として規定される、半導体基板の製造方法。

【請求項 15】 前記工程 (b) は、

(b-1) 前記第 1 の不純物を含有する膜を、前記第 1 主面上に形成する工程と、

(b-2) 前記第 1 の不純物を前記膜から前記基板内に拡散させる工程とを有する、請求項 1 4 に記載の半導体基板の製造方法。

【請求項 1 6】 前記工程 (c) は、

(c-1) 前記第 2 主面上に第 1 の膜を部分的に形成する工程と、

(c-2) 前記第 2 の不純物を含有する第 2 の膜を、前記第 1 の膜を覆って前記第 2 主面上に形成する工程と、

(c-3) 前記第 2 の不純物を前記第 2 の膜から前記基板内に拡散させる工程とを有する、請求項 1 4 に記載の半導体基板の製造方法。

【請求項 1 7】 前記工程 (b) は、

(b-1) 前記第 1 の不純物を含有する第 1 の膜を、前記第 1 主面上に形成する工程と、

(b-2) 前記第 1 の不純物を前記第 1 の膜から前記基板内に拡散させる工程とを有し、

前記工程 (c) は、

(c-1) 前記第 2 主面上に第 2 の膜を部分的に形成する工程と、

(c-2) 前記第 2 の不純物を含有する第 3 の膜を、前記第 2 の膜を覆って前記第 2 主面上に形成する工程と、

(c-3) 前記第 2 の不純物を前記第 3 の膜から前記基板内に拡散させる工程とを有し、

前記工程 (b-2) と前記工程 (c-3) とは、同一の工程によって実行される、請求項 1 4 に記載の半導体基板の製造方法。

【請求項 1 8】 いずれも前記工程 (b) 及び前記工程 (c) よりも前に実行され、

(d) 前記基板の表面を酸化することにより、前記第 1 主面上に第 1 の酸化膜



を全面的に形成するとともに、前記第 2 主面上に第 2 の酸化膜を全面的に形成する工程と、

(e) 前記第 1 の酸化膜を全面的に除去する工程と、

(f) 前記第 2 の酸化膜を部分的に除去する工程と

をさらに備え、

前記工程 (b) は、

(b-1) 前記第 1 の不純物を含有する第 1 の膜を、前記第 1 主面上に形成する工程と、

(b-2) 前記第 1 の不純物を前記第 1 の膜から前記基板内に拡散させる工程と

を有し、

前記工程 (c) は、

(c-1) 前記第 2 の不純物を含有する第 2 の膜を、前記第 2 の酸化膜を覆って前記第 2 主面上に形成する工程と、

(c-2) 前記第 2 の不純物を前記第 2 の膜から前記基板内に拡散させる工程と

を有する、請求項 14 に記載の半導体基板の製造方法。

【請求項 19】 (a) 互いに対向する第 1 主面及び第 2 主面を有する、第 1 導電型の基板を準備する工程と、

(b) 前記第 1 主面から前記基板内に第 1 の不純物を拡散することによって、前記第 1 導電型とは異なる第 2 導電型の不純物拡散層を形成する工程と、

(c) 前記第 2 主面の一部から前記基板内に第 2 の不純物を拡散することによって、前記不純物拡散層に達する底面を有し、平面視上前記基板の前記第 1 導電型の部分を取り囲む、前記第 2 導電型の不純物拡散領域を形成する工程とを備え、

前記不純物拡散領域によって取り囲まれた部分が素子形成領域として規定され、

(d) 前記素子形成領域内において、前記第 2 導電型の第 1 の不純物領域を前記第 2 主面内に部分的に形成する工程と、

(e) 前記第1の不純物領域内において、前記第1導電型の第2の不純物領域を、前記第2主面内に部分的に形成する工程と、

(f) 前記第2の不純物領域と前記基板の前記第1導電型の部分との間に位置する前記第1の不純物領域の上方において、ゲート絶縁膜を挟んで前記第2主面上にゲート電極を形成する工程と

をさらに備え、

前記第1の不純物領域は、トランジスタのベースとして機能し、

前記第2の不純物領域は、前記トランジスタのエミッタとして機能し、

前記不純物拡散層は、前記トランジスタのコレクタとして機能する、半導体装置の製造方法。

【請求項20】 (g) 前記不純物拡散層に接触する第1の主電極を、前記第1主面上に形成する工程と、

(h) 前記第1及び第2の不純物領域に接触する第2の主電極を、前記第2主面上に形成する工程と

をさらに備える、請求項19に記載の半導体装置の製造方法。

【請求項21】 (i) 前記工程(g)よりも前に実行され、前記第1主面側から前記基板を所定膜厚だけ研磨することにより、前記不純物拡散層を薄膜化する工程をさらに備える、請求項20に記載の半導体装置の製造方法。

【請求項22】 (j) 前記工程(i)よりも後に実行され、前記第1主面側から前記不純物拡散層を通過して前記基板の前記第1導電型の部分内に不純物を注入することにより、局所ライフタイム領域を形成する工程をさらに備える、請求項21に記載の半導体装置の製造方法。

【請求項23】 (k) 前記第1主面側から前記不純物拡散層を通過して、前記基板の前記第1導電型の部分の膜厚方向に関する略中央領域にプロトンを注入することによって、第1の局所ライフタイム領域を形成する工程をさらに備える、請求項19～21のいずれか一つに記載の半導体装置の製造方法。

【請求項24】 (l) 前記第1の局所ライフタイム領域よりも前記不純物拡散層側にヘリウムを注入することによって、第2の局所ライフタイム領域を形成する工程をさらに備える、請求項23に記載の半導体装置の製造方法。

【請求項 25】 (a) 互いに対向する第 1 主面及び第 2 主面を有する、第 1 導電型の基板を準備する工程と、

(b) トランジスタのコレクタとして機能し、前記第 1 導電型とは異なる第 2 導電型の不純物拡散層を、前記第 1 主面内に形成する工程と、

(c) 前記不純物拡散層に達する底面を有し、平面視上前記基板の前記第 1 導電型の部分を取り囲む、前記第 2 導電型の不純物拡散領域を、前記第 2 主面内に部分的に形成する工程と

を備え、

前記不純物拡散領域によって取り囲まれた部分が素子形成領域として規定され、

(d) 前記素子形成領域内において、前記トランジスタのベースとして機能し、前記第 2 導電型の第 1 の不純物領域を、前記第 2 主面内に部分的に形成する工程と、

(e) 前記第 1 の不純物領域内において、前記トランジスタのエミッタとして機能し、前記第 1 導電型の第 2 の不純物領域を、前記第 2 主面内に部分的に形成する工程と、

(f) 前記第 2 の不純物領域と前記基板の前記第 1 導電型の部分との間に位置する前記第 1 の不純物領域の上方において、ゲート絶縁膜を挟んで前記第 2 主面上にゲート電極を形成する工程と、

(g) 前記第 1 主面側から前記不純物拡散層を通過して、前記基板の前記第 1 導電型の部分の膜厚方向に関する略中央領域にプロトンを注入することによって、第 1 の局所ライフタイム領域を形成する工程とをさらに備える、半導体装置の製造方法。

【請求項 26】 (h) 前記基板の前記第 1 導電型の部分内において、前記第 1 の局所ライフタイム領域よりも前記不純物拡散層側にヘリウムを注入することによって、第 2 の局所ライフタイム領域を形成する工程をさらに備える、請求項 25 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

この発明は、パワー半導体装置に用いられる半導体基板及びその製造方法並びに、該半導体基板を用いた半導体装置及びその製造方法に関するものである。

**【0002】****【従来の技術】**

近年、三相電圧源が双方向スイッチによって直接スイッチングされる方式の、いわゆるACマトリクスコンバータと呼ばれる電力回路が提案されている。そして、ACマトリクスコンバータに用いられる双方向スイッチとして、双方向に耐圧を有するパワーデバイスが要求されている。その一つとして、双方向に耐圧を保持できるIGBTが発表された（非特許文献1参照）。

**【0003】**

また、ヘリウム又はプロトンを照射することによって局所ライフタイム領域を形成する技術が、下記特許文献1に開示されている。

**【0004】****【非特許文献1】**

M.Takei, Y.Harada, and K.Ueno, 600V-IGBT with Reverse Blocking Capability, Proceedings of 2001 International Symposium on Power Semiconductor Devices & ICs, Osaka

**【特許文献1】**

特開2002-76017号公報

**【0005】****【発明が解決しようとする課題】**

しかし、上記文献1に記載されたIGBTでは、メサ構造と呼ばれる溝を基板表面からコレクタP層まで掘り、電界を緩和するための物質を溝の内部に形成することで、耐圧が保持されている。この方法は既存のトライアック等でも採用されているが、信頼性が低いという問題がある。

**【0006】**

また、上記文献2ではヘリウム及びプロトンが同等に扱われているが、基板内へのプロトンの注入深さ次第では、プロトンのドナー化に起因して逆方向耐圧が

低下するという問題がある。

#### 【0007】

本発明はかかる問題を解決するために成されたものであり、双方向に耐圧を保持でき、かつ信頼性の高い半導体装置及びその製造方法を得ること、並びに、該半導体装置に用いられる半導体基板及びその製造方法を得ることを目的とするものである。

#### 【0008】

##### 【課題を解決するための手段】

第1の発明に係る半導体基板は、互いに対向する第1主面及び第2主面を有する、第1導電型の基板と、不純物の拡散によって第1主面内に形成された、第1導電型とは異なる第2導電型の不純物拡散層と、不純物の拡散によって第2主面内に部分的に形成され、不純物拡散層に達する底面を有し、平面視上基板の第1導電型の部分を取り囲む、第2導電型の不純物拡散領域とを備え、不純物拡散領域によって取り囲まれた部分が素子形成領域として規定されるものである。

#### 【0009】

第2の発明に係る半導体装置は、(a) 互いに対向する第1主面及び第2主面を有する、第1導電型の基板、(b) 不純物の拡散によって第1主面内に形成された、第1導電型とは異なる第2導電型の不純物拡散層、及び(c) 不純物の拡散によって第2主面内に部分的に形成され、不純物拡散層に達する底面を有し、平面視上基板の第1導電型の部分を取り囲む、第2導電型の不純物拡散領域とを備え、不純物拡散領域によって取り囲まれた部分が素子形成領域として規定される半導体基板と、素子形成領域内において、第2主面内に部分的に形成された、第2導電型の第1の不純物領域とを備えるものである。

#### 【0010】

第3の発明に係る半導体装置は、(a) 互いに対向する第1主面及び第2主面を有する、第1導電型の基板、(b) 第1主面内に形成され、トランジスタのコレクタとして機能する、第1導電型とは異なる第2導電型の不純物拡散層、及び(c) 第2主面内に部分的に形成され、不純物拡散層に達する底面を有し、平面視上基板の第1導電型の部分を取り囲む、第2導電型の不純物拡散領域とを備え

、不純物拡散領域によって取り囲まれた部分が素子形成領域として規定される半導体基板と、素子形成領域内において第2主面内に部分的に形成され、トランジスタのベースとして機能する、第2導電型の第1の不純物領域と、第1の不純物領域内において第2主面内に部分的に形成され、トランジスタのエミッタとして機能する、第1導電型の第2の不純物領域と、第2の不純物領域と基板の第1導電型の部分との間に位置する第1の不純物領域の上方において、ゲート絶縁膜を挟んで第2主面上に形成されたゲート電極と、基板の第1導電型の部分の膜厚方向に関する略中央領域にプロトンを注入することによって形成された第1の局所ライフタイム領域とを備えるものである。

#### 【0011】

第4の発明に係る半導体基板の製造方法は、(a)互いに対向する第1主面及び第2主面を有する、第1導電型の基板を準備する工程と、(b)第1主面から基板内に第1の不純物を拡散することによって、第1導電型とは異なる第2導電型の不純物拡散層を形成する工程と、(c)第2主面の一部から基板内に第2の不純物を拡散することによって、不純物拡散層に達する底面を有し、平面視上基板の第1導電型の部分を取り囲む、第2導電型の不純物拡散領域を形成する工程とを備え、不純物拡散領域によって取り囲まれた部分が素子形成領域として規定されるものである。

#### 【0012】

第5の発明に係る半導体装置の製造方法は、(a)互いに対向する第1主面及び第2主面を有する、第1導電型の基板を準備する工程と、(b)第1主面から基板内に第1の不純物を拡散することによって、第1導電型とは異なる第2導電型の不純物拡散層を形成する工程と、(c)第2主面の一部から基板内に第2の不純物を拡散することによって、不純物拡散層に達する底面を有し、平面視上基板の第1導電型の部分を取り囲む、第2導電型の不純物拡散領域を形成する工程とを備え、不純物拡散領域によって取り囲まれた部分が素子形成領域として規定され、(d)素子形成領域内において、第2導電型の第1の不純物領域を第2主面内に部分的に形成する工程と、(e)第1の不純物領域内において、第1導電型の第2の不純物領域を、第2主面内に部分的に形成する工程と、(f)第2の

不純物領域と基板の第1導電型の部分との間に位置する第1の不純物領域の上方において、ゲート絶縁膜を挟んで第2主面上にゲート電極を形成する工程とをさらに備え、第1の不純物領域は、トランジスタのベースとして機能し、第2の不純物領域は、トランジスタのエミッタとして機能し、不純物拡散層は、トランジスタのコレクタとして機能するものである。

#### 【0013】

第6の発明に係る半導体装置の製造方法は、(a)互いに対向する第1主面及び第2主面を有する、第1導電型の基板を準備する工程と、(b)トランジスタのコレクタとして機能し、第1導電型とは異なる第2導電型の不純物拡散層を、第1主面内に形成する工程と、(c)不純物拡散層に達する底面を有し、平面視上基板の第1導電型の部分を取り囲む、第2導電型の不純物拡散領域を、第2主面内に部分的に形成する工程とを備え、不純物拡散領域によって取り囲まれた部分が素子形成領域として規定され、(d)素子形成領域内において、トランジスタのベースとして機能し、第2導電型の第1の不純物領域を、第2主面内に部分的に形成する工程と、(e)第1の不純物領域内において、トランジスタのエミッタとして機能し、第1導電型の第2の不純物領域を、第2主面内に部分的に形成する工程と、(f)第2の不純物領域と基板の第1導電型の部分との間に位置する第1の不純物領域の上方において、ゲート絶縁膜を挟んで第2主面上にゲート電極を形成する工程と、(g)第1主面側から不純物拡散層を通過して、基板の第1導電型の部分の膜厚方向に関する略中央領域にプロトンを注入することによって、第1の局所ライフタイム領域を形成する工程とをさらに備えるものである。

#### 【0014】

##### 【発明の実施の形態】

##### 実施の形態1.

図1は、本発明の実施の形態1に係る半導体基板の構造を示す上面図であり、図2は、図1に示したラインX1-X1に沿った位置に関する断面構造を示す断面図である。図2を参照して、N型シリコン基板1は、互いに対向する底面及び上面を有している。N型シリコン基板1の底面内には、P型不純物の拡散に

よって、高濃度のP型不純物拡散層3が全面的に形成されている。また、N型シリコン基板1の上面内には、P型不純物の拡散によって、P型分離領域2が部分的に形成されている。P型分離領域2は、P型不純物拡散層3の上面に達する底面を有している。また、図1を参照して、N型シリコン基板1の上面側から眺めた場合、P型分離領域2は、N型シリコン基板1の一部分であるN領域1aを取り囲んで形成されている。そして、P型分離領域2によって取り囲まれた上記N領域1aが、N型シリコン基板1の素子形成領域として規定される。

#### 【0015】

図3～6は、本実施の形態1に係る半導体基板の製造方法を工程順に示す断面図である。図3を参照して、まず、N型シリコン基板1を準備する。次に、熱酸化法によって、シリコン酸化膜4を、N型シリコン基板1の上面上に全面的に形成する。

#### 【0016】

図4を参照して、次に、ボロン等のP型不純物を含有する物質（例えば絶縁膜）49を、N型シリコン基板1の底面上に全面的に塗布する。その後、熱処理を行うことにより、物質49に含まれているP型不純物をN型シリコン基板1内に導入及び熱拡散させる。これによって、N型シリコン基板1の底面内にP型不純物拡散層3が形成される。その後、シリコン酸化膜4及び物質49を除去する。なお、P型不純物を熱拡散する際の熱処理の温度や時間を調整することにより、N型シリコン基板1の底面からのP型不純物拡散層3の深さを任意に設定することができる。

#### 【0017】

図5を参照して、次に、熱酸化法によって、シリコン酸化膜5を、N型シリコン基板1の上面上及び底面上に全面的に形成する。次に、N型シリコン基板1の上面上に形成されているシリコン酸化膜5を、写真製版法及びエッチング法によって部分的に除去する。これにより、開孔部5aが形成されてN型シリコン基板1の上面の一部が露出する。

#### 【0018】

図6を参照して、次に、ボロン等のP型不純物を含有する物質（例えば絶縁膜



）50を、シリコン酸化膜5を覆ってN-型シリコン基板1の上面上に塗布する。開孔部5aが形成されている部分において、物質50はN-型シリコン基板1の上面に接触する。その後、熱処理を行うことにより、物質50とN-型シリコン基板1とが互いに接触している部分において、物質50に含まれているP型不純物をN-型シリコン基板1内に導入及び熱拡散させる。これによって、N-型シリコン基板1の上面内にP型分離領域2が形成される。その後、シリコン酸化膜5及び物質50を除去することにより、図2に示した半導体基板が得られる。

#### 【0019】

このように本実施の形態1に係る半導体基板及びその製造方法によると、N-型シリコン基板1の底面内に高濃度のP型不純物拡散層3を形成した後に、N-型シリコン基板1の上面内にP型分離領域2が形成される。従って、P型不純物拡散層3が、P型分離領域2を形成する際のダメージに対するゲッターリングサイトとして機能するため、P型分離領域2の形成に起因する欠陥が低減又は除去された半導体基板を得ることができる。

#### 【0020】

以下、この効果について具体的に検証する。図7、8は、本実施の形態1に係る半導体基板及びその製造方法の効果を説明するための図である。図7は、P型不純物拡散層3を形成することなくP型分離領域2を形成した場合の例であり、図8は、P型不純物拡散層3を形成した後にP型分離領域2を形成した場合の例である。

#### 【0021】

膜厚800 $\mu$ mのFZウェハの上面内に、P型分離領域2を深さ約250 $\mu$ mで形成する。次に、1100℃以上で60分程度の熱処理を行う。次に、ウェハをへき開した後、ジトル液を用いたエッチングによって欠陥を顕在化する。このようにして得られた試料を顕微鏡を用いて観察した結果が、図7に示されている。図7に示すように、ウェハ内には、OSF (Oxide Stacking Fault) と思われる欠陥10が多数発生している。また、このウェハを用いてIGBTを作成したところ、耐圧測定時の漏れ電流が非常に大きく、特に高温(125℃)状態では漏れ電流がさらに大きくなって、IGBTは正常に動作しなかった。

**【0022】**

一方、FZウェハの底面内にP型不純物拡散層3を形成した後に、P型分離領域2を深さ約180 $\mu$ mで形成し、上記と同様の観察を行った結果が、図8に示されている。図8に示すように、ウェハ内に欠陥10は発生していない。また、このウェハを用いてIGBTを作成したところ、耐圧測定時の漏れ電流は、P型不純物拡散層3を形成しない場合と比較して大幅に低減された。

**【0023】**

実施の形態2.

図9～11は、本発明の実施の形態2に係る半導体基板の製造方法を工程順に示す断面図である。図9を参照して、まず、N-型シリコン基板1を準備する。次に、熱酸化法によって、シリコン酸化膜15を、N-型シリコン基板1の上面上及び底面上に全面的に形成する。

**【0024】**

図10を参照して、次に、N-型シリコン基板1の上面上に形成されているシリコン酸化膜15を、写真製版法及びエッチング法によって部分的に除去する。これにより、開孔部15aが形成されてN-型シリコン基板1の上面の一部が露出する。また、N-型シリコン基板1の底面上に形成されているシリコン酸化膜15を、エッチング法によって全面的に除去する。これにより、N-型シリコン基板1の底面が露出する。

**【0025】**

図11を参照して、次に、ボロン等のP型不純物を含有する物質50を、シリコン酸化膜15を覆ってN-型シリコン基板1の上面上に、及び、N-型シリコン基板1の底面上に、それぞれ塗布する。その後、熱処理を行うことにより、物質50とN-型シリコン基板1とが互いに接触している部分において、物質50に含まれているP型不純物をN-型シリコン基板1内に導入及び熱拡散させる。これによって、N-型シリコン基板1の上面内にP型分離領域2が形成されるとともに、N-型シリコン基板1の底面内にP型不純物拡散層3が形成される。その後、シリコン酸化膜15及び物質50を除去することにより、図2に示した半導体基板が得られる。

## 【0026】

図12は、本実施の形態2に係る半導体基板の製造方法によって作成された半導体基板を対象とした、SR (Spreading Resistance) 評価の結果を示す図である。横軸はN-型シリコン基板1の上面からの深さD ( $\mu\text{m}$ ) であり、縦軸は、濃度N ( $\text{cm}^{-3}$ )、比抵抗 $\rho$  ( $\Omega \cdot \text{cm}$ )、及び抵抗R ( $\Omega$ ) である。図12では、膜厚350  $\mu\text{m}$ の半導体基板のうち、N-型シリコン基板1の上面から深さ240  $\mu\text{m}$ までの領域を抽出して、SR評価の結果を示している。

## 【0027】

図12を参照すると、半導体基板の膜厚の中央付近の深さ(175  $\mu\text{m}$ )を中心として、濃度N、比抵抗 $\rho$ 、及び抵抗Rの各特性がほぼ左右対称となっていることが分かる。即ち、本実施の形態2に係る半導体基板では、P型不純物拡散層3の厚みは、N-型シリコン基板1の上面からのP型分離領域2の深さに略等しい(ともに175  $\mu\text{m}$ )ことが分かる。また、濃度Nの特性に着目すれば、N-型シリコン基板1の底面から基板内部方向に向かってのP型不純物拡散層3の不純物濃度分布は、N-型シリコン基板1の上面から基板内部方向に向かってのP型分離領域2の不純物濃度分布に略等しくなっている。

## 【0028】

このように本実施の形態2に係る半導体基板及びその製造方法によると、図11に示したように、P型分離領域2を形成するためのP型不純物の熱拡散と、P型不純物拡散層3を形成するためのP型不純物の熱拡散とが、同一の工程によって実行される。その結果、上記実施の形態1と比較すると、製造工程数を削減することが可能となる。

## 【0029】

図13は、上記実施の形態1, 2の変形例を示す断面図である。上記実施の形態1, 2に係る製造方法によって図2に示した半導体基板を得た後、N-型シリコン基板1を底面側から所望の膜厚だけ研磨することにより、P型不純物拡散層3を薄膜化する。これにより、P型不純物拡散層3の表面(N-型シリコン基板1の底面)における不純物濃度を調整することが可能となる。

## 【0030】

なお、特開平7-307469号公報の図4には、(a) N-型基板の上面及び底面からP型不純物を部分的に拡散することにより、N-型基板の上面と底面との間を部分的に貫通するP型不純物拡散領域を形成する工程と、(b) N-型基板の底面内にP型不純物を全面的に拡散することにより、上記P型不純物拡散領域に繋がるP型不純物拡散層を形成する工程とがこの順に実行される半導体装置の製造方法が開示されている。しかし、この方法によると、上記工程(a)で、N-型基板の上面及び底面の同一箇所にマスクを位置合わせして形成する必要があり、製造工程が複雑になるという問題がある。一方、本発明の実施の形態1, 2に係る半導体基板の製造方法では、かかる問題は生じない。

### 【0031】

また、上記公報の図5には、(a) P+型基板の上面上にN-型エピタキシャル層を形成する工程と、(b) N-型エピタキシャル層の上面内にP型不純物を部分的に拡散することにより、上記P+型基板に繋がるP+型不純物拡散層を形成する工程とがこの順に実行される半導体装置の製造方法が開示されている。しかし、この方法によると、P+型基板上にN-型エピタキシャル層を形成する工程が必要となるために製造コストが高くなり、製造工程数も多くなるという問題がある。一方、本発明の実施の形態1, 2に係る半導体基板の製造方法では、かかる問題は生じない。

### 【0032】

実施の形態3.

図14は、上記実施の形態1, 2に係る半導体基板を用いた、本発明の実施の形態3に係る半導体装置(IGBT)の構造を示す断面図である。素子形成領域内において、N-型シリコン基板1の上面内には、P型不純物領域20が部分的に形成されている。P型不純物領域20内において、N-型シリコン基板1の上面内には、N+型不純物領域21が部分的に形成されている。P型不純物領域20はIGBTのベースとして機能し、N+型不純物領域21はIGBTのエミッタとして機能し、P型不純物拡散層3はIGBTのコレクタとして機能する。また、N-型シリコン基板1の上面内において、N+型不純物領域21とN-領域1aとの間に位置する部分のP型不純物領域20は、チャンネル領域として機能する

。チャネル領域上には、絶縁膜 22 の一部を挟んでゲート電極 23 が形成されている。ゲート電極 23 の材質は、例えばポリシリコンである。N-型シリコン基板 1 の底面上には、P 型不純物拡散層 3 に接触するコレクタ電極 27 が形成されている。N-型シリコン基板 1 の上面上には、P 型不純物領域 20 及び N+ 型不純物領域 21 に接触するエミッタ電極 24 が形成されている。P 型分離領域 2 には、電極 25 が接続されている。また、本実施の形態 3 に係る IGBT は、P 型不純物領域 26a、電極 26b、及び絶縁膜 26c を有するガードリング構造 26 を備えている。

#### 【0033】

図 15～21 は、本実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。図 15 を参照して、まず、上記実施の形態 1、2 に係る半導体基板を準備する。

#### 【0034】

図 16 を参照して、次に、熱酸化法によって、N-型シリコン基板 1 の上面上にシリコン酸化膜を全面的に形成する。次に、写真製版法及びエッチング法によってこのシリコン酸化膜をパターニングすることにより、シリコン酸化膜 22a、26c を形成する。次に、イオン注入法によって、シリコン酸化膜 22a、26c から露出している部分の N-型シリコン基板 1 の上面内に P 型不純物を導入することにより、P 型不純物領域 20a、26a を形成する。

#### 【0035】

図 17 を参照して、次に、シリコン酸化膜 22a をパターニングすることによりシリコン酸化膜 22b を形成した後、熱酸化法によって、N-型シリコン基板 1 の上面上に、シリコン酸化膜 22b、26c よりも薄いシリコン酸化膜 22c を形成する。

#### 【0036】

図 18 を参照して、次に、CVD 法によって、ポリシリコン膜を全面的に形成する。次に、写真製版法及びエッチング法によってこのポリシリコン膜をパターニングすることにより、ゲート電極 23 を形成する。

#### 【0037】

図 19 を参照して、次に、写真製版法及びイオン注入法によって、N-型シリコン基板 1 の上面内に P 型不純物を部分的に導入することにより、P 型不純物領域 20 a よりも浅い P 型不純物領域 20 b を形成する。P 型不純物領域 20 a, 20 b によって、図 14 に示した P 型不純物領域 20 が構成される。

#### 【0038】

図 20 を参照して、次に、エッチング法によって、ゲート電極 23 から露出している部分のシリコン酸化膜 22 c を除去する。除去されずに残った部分のシリコン酸化膜 22 c は、ゲート絶縁膜として機能する。次に、写真製版法及びイオン注入法によって、P 型不純物領域 20 の上面内に N 型不純物を部分的に導入することにより、N<sup>+</sup>型不純物領域 21 を形成する。

#### 【0039】

図 21 を参照して、次に、CVD 法によって、シリコン酸化膜を全面的に形成する。次に、写真製版法及びエッチング法によってこのシリコン酸化膜をパターニングすることにより、ゲート電極 23 の側面及び上面を覆ってシリコン酸化膜 22 d を形成する。シリコン酸化膜 22 b ~ 22 d によって、図 14 に示した絶縁膜 22 が構成される。その後、N-型シリコン基板 1 の上面上にエミッタ電極 24 及び電極 25, 26 b を形成する。また、N-型シリコン基板 1 の底面上にコレクタ電極 27 を形成する。これにより、図 14 に示した半導体装置が得られる。

#### 【0040】

さて次に、本実施の形態 3 に係る半導体装置の耐圧について検討する。以下の説明では、ベースとして機能する P 型不純物領域 20 に印加される電圧を「 $V_{20}$ 」と表記し、コレクタとして機能する P 型不純物拡散層 3 に印加される電圧を「 $V_3$ 」と表記する。

#### 【0041】

ベースーコレクタ間に  $V_{20} < V_3$  なる順方向電圧を印加すると、P 型不純物領域 20 から空乏層が伸びることで、順方向耐圧を保持できる。このとき、P 型不純物領域 20 の端部はカーブ形状がきつく、この付近で電界が強くなるが、ガードリング構造 26 が形成されているために、この付近での電界集中を緩和できる

。その結果、P型不純物領域20、N-領域1a、及びP型不純物拡散層3の各不純物濃度や形状等によって決定される順方向耐圧を、適切に保持することができる。

#### 【0042】

一方、ベース-コレクタ間に $V_{20} > V_3$ なる逆方向電圧を印加すると、P型不純物拡散層3及びP型分離領域2から空乏層が伸びることで、逆方向耐圧を保持できる。このとき、P型分離領域2の端部はカーブ形状が緩いため、ガードリング等の耐圧保持構造を付加することなく、P型不純物領域20、N-領域1a、P型不純物拡散層3、及びP型分離領域2の各不純物濃度や形状等によって決定される逆方向耐圧を、適切に保持することができる。

#### 【0043】

ここで、N-領域1aの不純物濃度を様々に変化させて、N-領域1aの厚みと耐圧 $V_{CES}$ との関係をシミュレーションによって調査した。図22は、そのシミュレーションの結果を示す図である。N-領域1aの不純物濃度と膜厚を調整することで、任意の耐圧を得ることができることが分かる。

#### 【0044】

また、P型不純物拡散層3を形成せずにP型分離領域2を形成した場合と、P型不純物拡散層3を形成した後にP型分離領域2を形成した場合とのそれぞれに関して、耐圧測定時の漏れ電流を測定した。図23は、その測定の結果を示す図である。特性K1は、P型不純物拡散層3を形成した後にP型分離領域2を形成した場合の測定結果であり、特性K2は、P型不純物拡散層3を形成せずにP型分離領域2を形成した場合の測定結果である。P型不純物拡散層3を形成した後にP型分離領域2を形成することにより、漏れ電流 $I_{CES}$ を大幅に低減できることが分かる。

#### 【0045】

さて次に、図14に示した半導体装置(IGBT)のターンオン動作について説明する。エミッター-コレクタ間に所定のコレクタ電圧 $V_{CE}$ を印加するとともに、エミッター-ゲート間に所定のゲート電圧 $V_{GE}$ を印加すると、ゲート絶縁膜22の下方のP型不純物領域20がN型に反転して、チャネル領域が形成される

。すると、N型不純物領域21からチャンネル領域を通して、電子がN-領域1aに注入される。この注入された電子によって、N-領域1aとP型不純物拡散層3との間が順バイアスされる。すると、P型不純物拡散層3からN-領域1aにホールが注入されることによってN-領域1aの抵抗値が大幅に下がり、電流容量が上がる。このように、IGBTでは、P型不純物拡散層3からのホールの注入によって、N-領域1aの抵抗を下げている。

#### 【0046】

次に、ターンオフ動作について説明する。ゲート電圧VGEをゼロ又は逆バイアスにすると、N型のチャンネル領域がP型に戻り、N型不純物領域21からN-領域1aへの電子の注入が止まる。これに伴って、P型不純物拡散層3からN-領域1aへのホールの注入も止まる。N-領域1a内に蓄積されていた電子及びホールは、P型不純物領域20から広がった空乏層の電界によってN型不純物領域21又はP型不純物拡散層3に排出されていくか、あるいは、互いに再結合して消滅する。

#### 【0047】

上記の通り本実施の形態3に係る半導体装置では、P型不純物拡散層3及びP型分離領域2から空乏層が伸びることで、逆方向耐圧が保持される。従って、既存のIGBTのようにP型不純物拡散層3とN-領域1aとの間にN+型バッファ層を形成することができないため、N-領域1aの膜厚をある程度厚くする必要がある。N-領域1aの膜厚は、必要な耐圧及びN-領域1aの不純物濃度との関係で、図22に示したグラフに基づいて決定すればよい。

#### 【0048】

このように本実施の形態3に係る半導体装置及びその製造方法によれば、IGBTの順方向耐圧及び逆方向耐圧をともに保持できる。そのため、本実施の形態3に係る半導体装置は、双方向の耐圧が要求されるパワーデバイス、例えばACマトリクスコンバータに用いられる双方向スイッチに適用することが可能である。

#### 【0049】

実施の形態4.



図 2 4 は、本発明の実施の形態 4 に係る半導体装置の構造を示す断面図である。上記実施の形態 3 に係る半導体装置を基礎として、N-領域 1 a 内に局所ライフタイム領域 3 0 が形成されている。局所ライフタイム領域 3 0 は、例えば図 2 1 に示した構造を得た後、プロトンやヘリウム等の不純物を、N-型シリコン基板 1 の底面側から P 型不純物拡散層 3 を通して N-領域 1 a 内にイオン注入することにより、形成することができる。もちろん、N-型シリコン基板 1 の上面側からイオン注入してもよい。

#### 【0050】

前述の通り、上記実施の形態 3 に係る半導体装置では N-領域 1 a の膜厚をある程度厚くする必要がある。そのため、ターンオンに際しては、N 型不純物領域 2 1 から N-領域 1 a に、より多くの電子を注入する必要がある。また、ターンオフに際しては、P 型不純物拡散層 3 の近辺の N-領域 1 a の部分において、空乏層が形成されない領域が残る。そして、この空乏層が形成されない領域においては、ターンオフ時のキャリアの消滅要因は、電界による排出ではなく再結合が支配的となるため、ターンオフの所要時間が比較的長くなる。

#### 【0051】

従って、N-領域 1 a のうち、特に上記空乏層が形成されない領域内に局所ライフタイム領域 3 0 を形成することにより、この領域でのキャリアの再結合が促進され、ターンオフの所要時間の短縮化を図ることができる。

#### 【0052】

実施の形態 5.

図 2 5 は、本発明の実施の形態 5 に係る半導体装置の構造を示す断面図である。また、図 2 6 は、本実施の形態 5 に係る半導体装置の製造方法の一工程を示す断面図である。図 2 1 に示した構造を得た後、図 2 6 を参照して、N-型シリコン基板 1 を底面側から所望の膜厚だけ研磨することにより、P 型不純物拡散層 3 が薄膜化されている。その後、上記実施の形態 4 と同様に、所定の不純物を N-型シリコン基板 1 の底面側から P 型不純物拡散層 3 を通して N-領域 1 a 内にイオン注入することにより、局所ライフタイム領域 3 0 を形成する。これにより、図 2 5 に示した半導体装置が得られる。

## 【0053】

このように本実施の形態5に係る半導体装置及びその製造方法によれば、P型不純物拡散層3を薄膜化した後に、N-型シリコン基板1の底面側から所定の不純物をイオン注入することによってN-領域1a内に局所ライフタイム領域30を形成する。従って、上記実施の形態4と比較すると、N-型シリコン基板1の上面近くに局所ライフタイム領域30を形成することが可能となる。即ち、局所ライフタイム領域30を形成する深さを設定する際に、その設定の自由度が大きくなる。

## 【0054】

実施の形態6.

プロトンの注入によってN-領域1a内に局所ライフタイム領域30を形成する場合、注入後のアニールによってプロトンはドナー化し、その結果、プロトンが注入された部分のN-領域1aの不純物濃度が高くなる。

## 【0055】

図27は、所定のモニタウェハを対象としたSR評価の結果を示す図である。モニタウェハは、 $150\mu\text{m}$ の膜厚を有するN-型シリコン基板の、膜厚方向に関する中央領域付近（即ち深さ $75\mu\text{m}$ 付近）に、プロトンをイオン注入した後、アニールすることによって作製されている。図27の横軸はN-型シリコン基板の上面からの深さD（ $\mu\text{m}$ ）であり、縦軸は、濃度N（ $\text{cm}^{-3}$ ）、比抵抗 $\rho$ （ $\Omega\cdot\text{cm}$ ）、及び抵抗R（ $\Omega$ ）である。図27を参照すると、アニールによってプロトンがドナー化した結果、深さ $75\mu\text{m}$ 付近においてN-領域1aの濃度Nが高くなっていることが分かる。

## 【0056】

次に、上記実施の形態3に係る半導体装置において、N-領域1aの膜厚を $170\mu\text{m}$ として、N-領域1aへのプロトンの注入深さによって半導体装置の順方向耐圧及び逆方向耐圧の各絶対値がどのように変化するかを調査した。図28は、その調査の結果を示すグラフである。グラフの横軸は、N-領域1aとP型不純物拡散層3との界面から、プロトンの注入箇所までの距離L（ $\mu\text{m}$ ）である。グラフの縦軸は、順方向耐圧及び逆方向耐圧の各絶対値（V）である。図28

を参照すると、距離  $L$  が長いほど逆方向耐圧の絶対値は大きくなり、逆に、距離  $L$  が短いほど順方向耐圧の絶対値は大きくなることが分かる。距離  $L$  が短いと逆方向耐圧の絶対値が小さくなるのは、プロトンのドナー化に起因して、プロトンが注入された部分の  $N$ -領域 1 a の不純物濃度が高くなるためである。

#### 【0057】

図 28 から分かるように、距離  $L$  が短すぎたのでは逆方向耐圧の絶対値が小さくなり、一方、距離  $L$  が長すぎたのでは順方向耐圧の絶対値が小さくなる。よって、プロトンの注入によって局所ライフタイム領域を形成する場合には、 $N$ -領域 1 a の膜厚方向に関する中央領域付近にプロトンをイオン注入するのが望ましい。図 28 に示した例では、距離  $L$  を  $80 \sim 100 \mu m$  程度に設定することにより、順方向耐圧及び逆方向耐圧の各絶対値がいずれも  $1200 (V)$  を超える半導体装置を得ることができる。

#### 【0058】

図 29 は、図 24 に示した半導体装置を基礎として、本実施の形態 6 に係る半導体装置の構造を示す断面図である。図 24 に示した局所ライフタイム領域 30 の代わりに、局所ライフタイム領域 30 p が形成されている。局所ライフタイム領域 30 p は、 $N$ -型シリコン基板 1 の底面側から  $P$  型不純物拡散層 3 を通して、 $N$ -領域 1 a の膜厚方向に関する中央領域付近にプロトンをイオン注入することによって形成されている。

#### 【0059】

図 30 は、図 25 に示した半導体装置を基礎として、本実施の形態 6 に係る半導体装置の構造を示す断面図である。図 25 に示した局所ライフタイム領域 30 の代わりに、局所ライフタイム領域 30 p が形成されている。図 29 に示した半導体装置と同様に、局所ライフタイム領域 30 p は、 $N$ -型シリコン基板 1 の底面側から  $P$  型不純物拡散層 3 を通して、 $N$ -領域 1 a の膜厚方向に関する中央領域付近にプロトンをイオン注入することによって形成されている。

#### 【0060】

図 31 は、本実施の形態 6 の第 1 の変形例に係る半導体装置の構造を示す断面図である。図 29 に示した半導体装置を基礎として、 $N$ -領域 1 a 内に局所ライ

フタイム領域 30 h が追加されている。局所ライフタイム領域 30 h は、N-型シリコン基板 1 の底面側から P 型不純物拡散層 3 を通して、局所ライフタイム領域 30 p よりも P 型不純物拡散層 3 側にヘリウムをイオン注入することによって形成されている。

#### 【0061】

図 32 は、本実施の形態 6 の第 2 の変形例に係る半導体装置の構造を示す断面図である。図 30 に示した半導体装置を基礎として、N-領域 1 a 内に局所ライフタイム領域 30 h が追加されている。図 31 に示した半導体装置と同様に、局所ライフタイム領域 30 h は、N-型シリコン基板 1 の底面側から P 型不純物拡散層 3 を通して、局所ライフタイム領域 30 p よりも P 型不純物拡散層 3 側にヘリウムをイオン注入することによって形成されている。

#### 【0062】

プロトンとは異なり、ヘリウムはドナー化を起こさない。従って、N-領域 1 a と P 型不純物拡散層 3 との界面付近に局所ライフタイム領域 30 h を形成しても、逆方向耐圧の絶対値が低下することはない。局所ライフタイム領域 30 p のみならず局所ライフタイム領域 30 h をも形成することにより、キャリアの再結合がさらに促進され、ターンオフの所要時間のさらなる短縮化を図ることができる。

#### 【0063】

このように本実施の形態 6 に係る半導体装置及びその製造方法によれば、N-領域 1 a の膜厚方向に関する中央領域付近にプロトンをイオン注入することによって、局所ライフタイム領域 30 p が形成されている。従って、順方向耐圧及び逆方向耐圧の各絶対値の一方が極端に低下することはなく、IGBT の順方向耐圧及び逆方向耐圧をとともに高レベルに保持できる。そのため、本実施の形態 6 に係る半導体装置は、双方向の耐圧が要求されるパワーデバイス、例えば AC マトリクスコンバータに用いられる双方向スイッチに適用することが可能である。

#### 【0064】

なお、上記実施の形態 1 ～ 6 では、N チャネルの IGBT について述べたが、P チャネルの IGBT にも本発明は適用できる。また、ゲートがシリコン基板上

に形成されたタイプの IGBT について述べたが、シリコン基板内に形成されたトレンチ内にゲートが埋め込まれたタイプの IGBT（トレンチゲート型 IGBT）にも本発明は適用できる。

#### 【0065】

##### 【発明の効果】

第1の発明に係る半導体基板よれば、半導体基板は、基板の第1主面内に不純物拡散層を形成した後に、基板の第2主面内に不純物領域を形成することによって製造できる。その際、不純物拡散層が、不純物拡散領域を形成する際のダメージに対するゲッタリングサイトとして機能するため、不純物拡散領域の形成に起因する半導体基板の欠陥を低減又は除去することができる。

#### 【0066】

第2の発明に係る半導体装置によれば、第1の不純物領域から空乏層が伸びることで順方向耐圧を保持できる。また、不純物拡散層及び不純物拡散領域から空乏層が伸びることで、逆方向耐圧を保持できる。即ち、順方向耐圧及び逆方向耐圧をともに保持することができる。

#### 【0067】

第3の発明に係る半導体装置によれば、順方向耐圧及び逆方向耐圧をともに高レベルに保持することができる。

#### 【0068】

第4の発明に係る半導体基板の製造方法によれば、不純物拡散層が、不純物拡散領域を形成する際のダメージに対するゲッタリングサイトとして機能するため、不純物拡散領域の形成に起因する欠陥が低減又は除去された半導体基板を得ることができる。

#### 【0069】

第5の発明に係る半導体装置の製造方法によれば、第1の不純物領域から空乏層が伸びることで順方向耐圧を保持できる。また、不純物拡散層及び不純物拡散領域から空乏層が伸びることで、逆方向耐圧を保持できる。即ち、順方向耐圧及び逆方向耐圧がともに保持された IGBT を得ることができる。

#### 【0070】

第6の発明に係る半導体装置の製造方法によれば、順方向耐圧及び逆方向耐圧をともに高レベルに保持することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体基板の構造を示す上面図である。

【図2】 図1に示したラインX1-X1に沿った位置に関する断面構造を示す断面図である。

【図3】 本発明の実施の形態1に係る半導体基板の製造方法を工程順に示す断面図である。

【図4】 本発明の実施の形態1に係る半導体基板の製造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態1に係る半導体基板の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1に係る半導体基板の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1に係る半導体基板及びその製造方法の効果を説明するための図である。

【図8】 本発明の実施の形態1に係る半導体基板及びその製造方法の効果を説明するための図である。

【図9】 本発明の実施の形態2に係る半導体基板の製造方法を工程順に示す断面図である。

【図10】 本発明の実施の形態2に係る半導体基板の製造方法を工程順に示す断面図である。

【図11】 本発明の実施の形態2に係る半導体基板の製造方法を工程順に示す断面図である。

【図12】 本発明の実施の形態2に係る半導体基板の製造方法によって作成された半導体基板を対象とした、SR評価の結果を示す図である。

【図13】 実施の形態1, 2の変形例を示す断面図である。

【図14】 本発明の実施の形態3に係る半導体装置の構造を示す断面図で

ある。

【図 1 5】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 6】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 7】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 8】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 9】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 0】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 1】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 2】 N-領域の厚みと耐圧との関係についてのシミュレーションの結果を示す図である。

【図 2 3】 耐圧測定時の漏れ電流の測定の結果を示す図である。

【図 2 4】 本発明の実施の形態 4 に係る半導体装置の構造を示す断面図である。

【図 2 5】 本発明の実施の形態 5 に係る半導体装置の構造を示す断面図である。

【図 2 6】 本発明の実施の形態 5 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 2 7】 所定のモニタウェハを対象とした S R 評価の結果を示す図である。

【図 2 8】 プロトンの注入深さと耐圧との関係を調査した結果を示すグラフである。

【図 2 9】 図 2 4 に示した半導体装置を基礎として、本発明の実施の形態

6に係る半導体装置の構造を示す断面図である。

【図30】 図25に示した半導体装置を基礎として、本発明の実施の形態6に係る半導体装置の構造を示す断面図である。

【図31】 本発明の実施の形態6の第1の変形例に係る半導体装置の構造を示す断面図である。

【図32】 本発明の実施の形態6の第2の変形例に係る半導体装置の構造を示す断面図である。

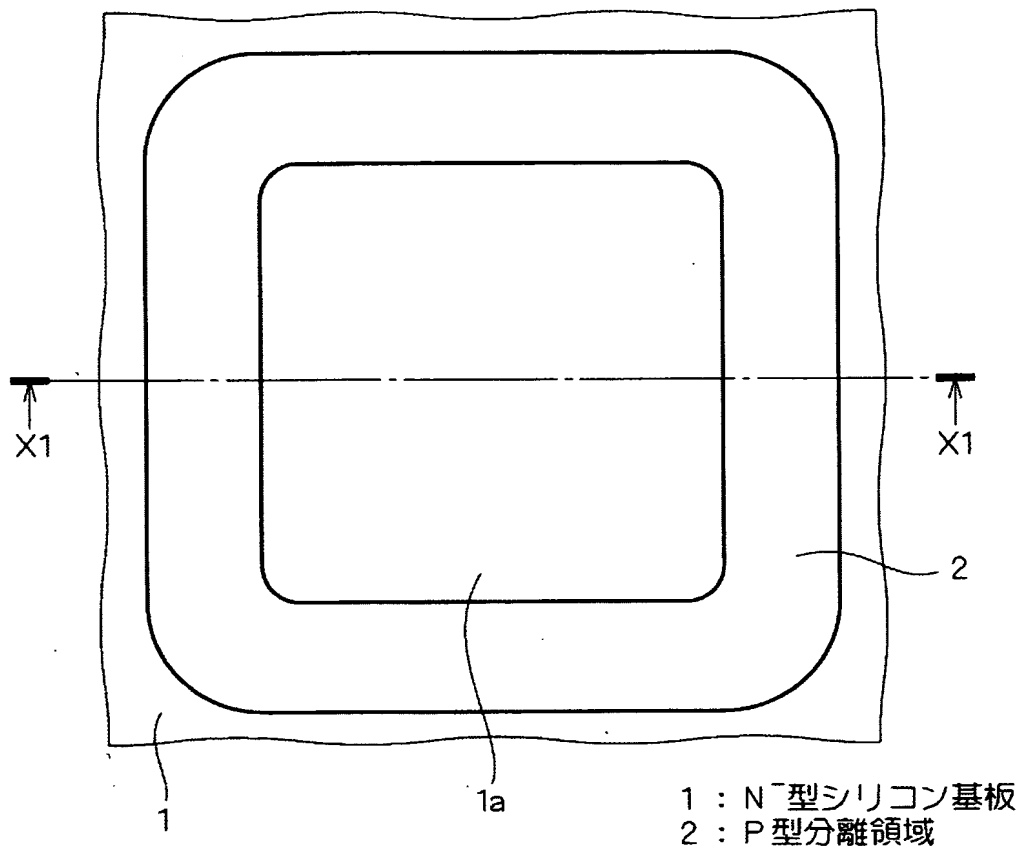
【符号の説明】

1 N-型シリコン基板、2 P型分離領域、3 P型不純物拡散層、5, 15 シリコン酸化膜、20 P型不純物領域、21 N型不純物領域、23 ゲート電極、24 エミッタ電極、27 コレクタ電極、30, 30p, 30h 局所ライフタイム領域、49, 50 物質。

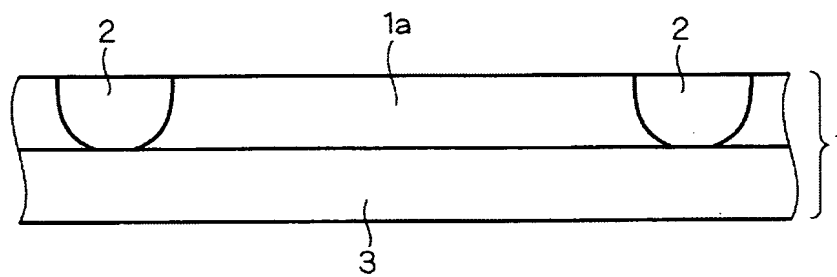


【書類名】 図面

【図 1】

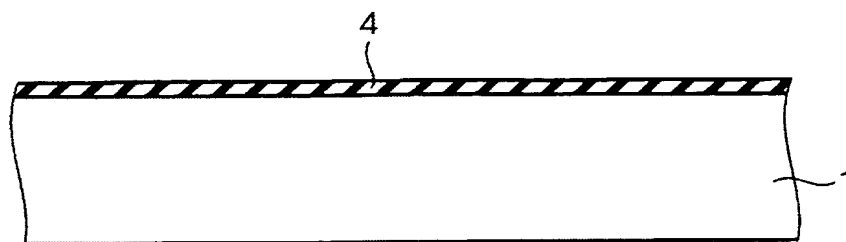


【図 2】



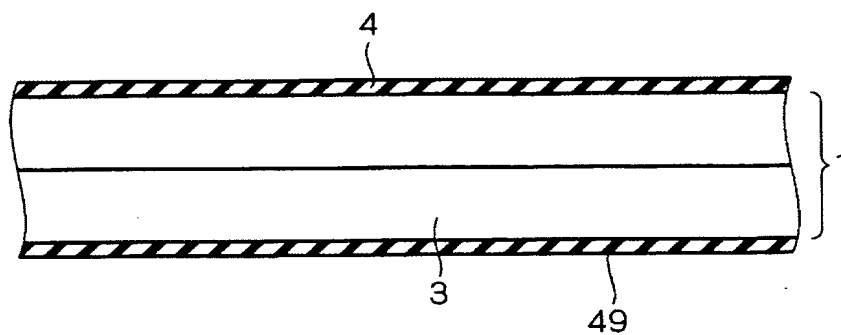
3 : P型不純物拡散層

【図 3】

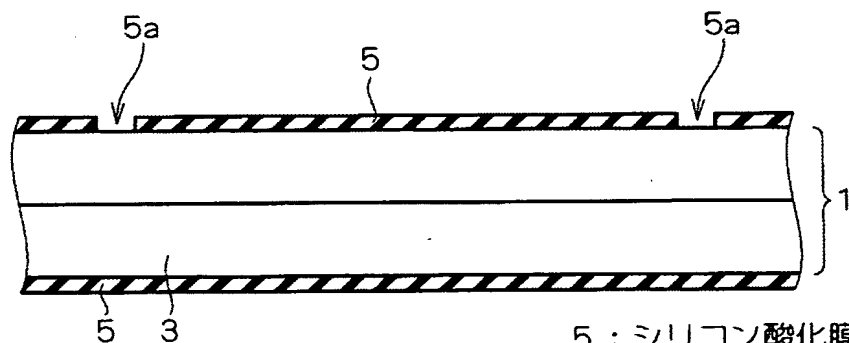


4 : シリコン酸化膜

【図 4】

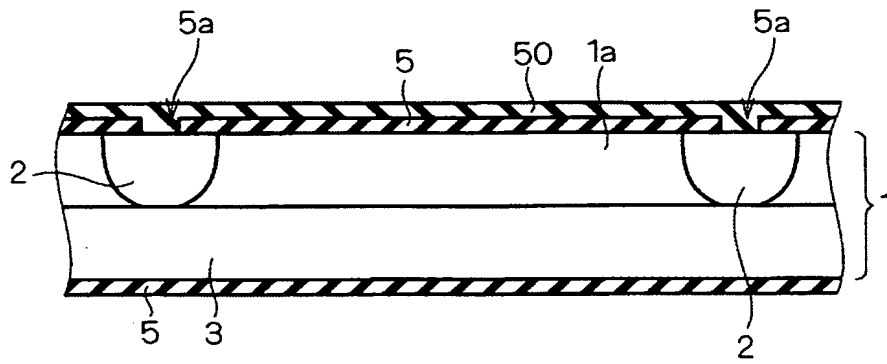


【図 5】

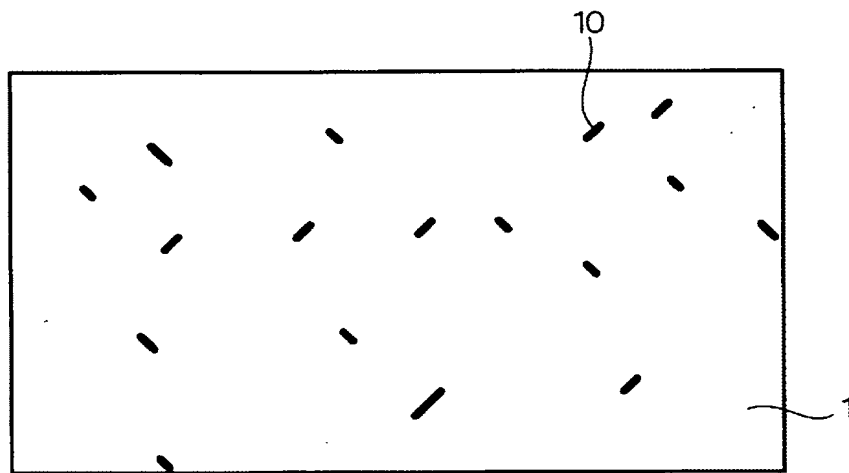


5 : シリコン酸化膜  
5 a : 開孔部

【図 6】

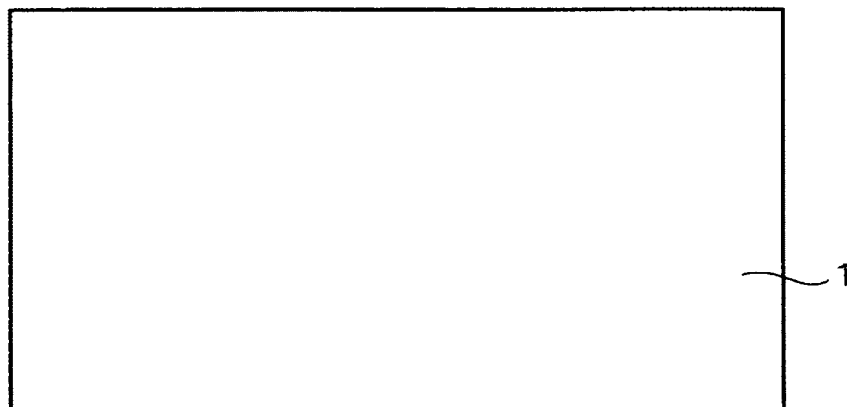


【図 7】

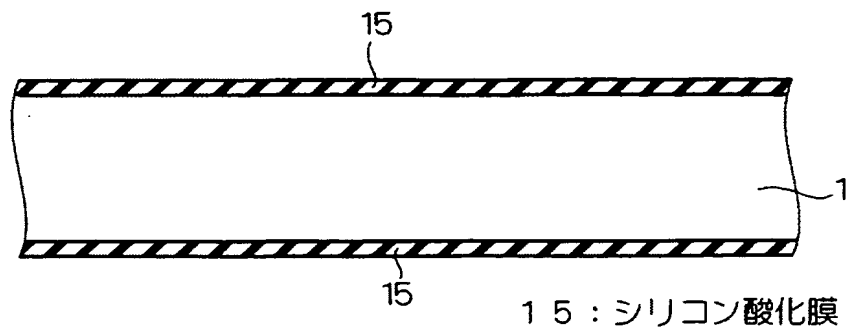


10 : 欠陥

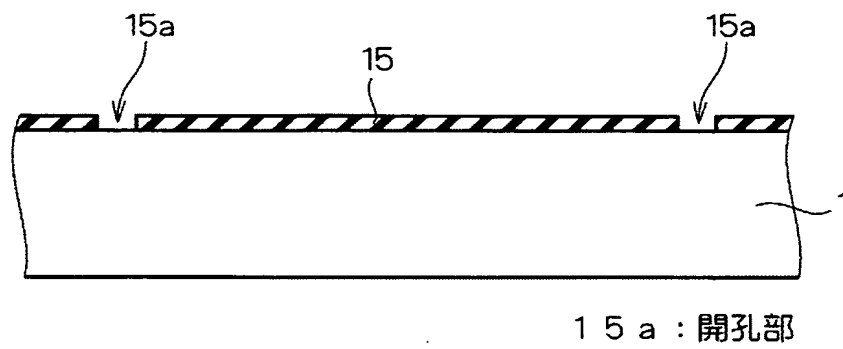
【図 8】



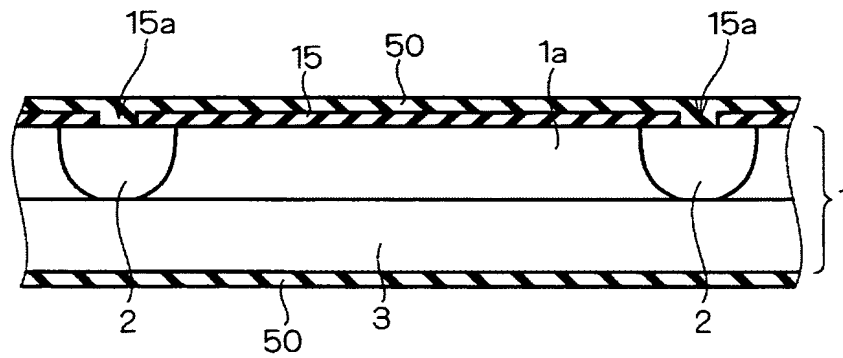
【図 9】



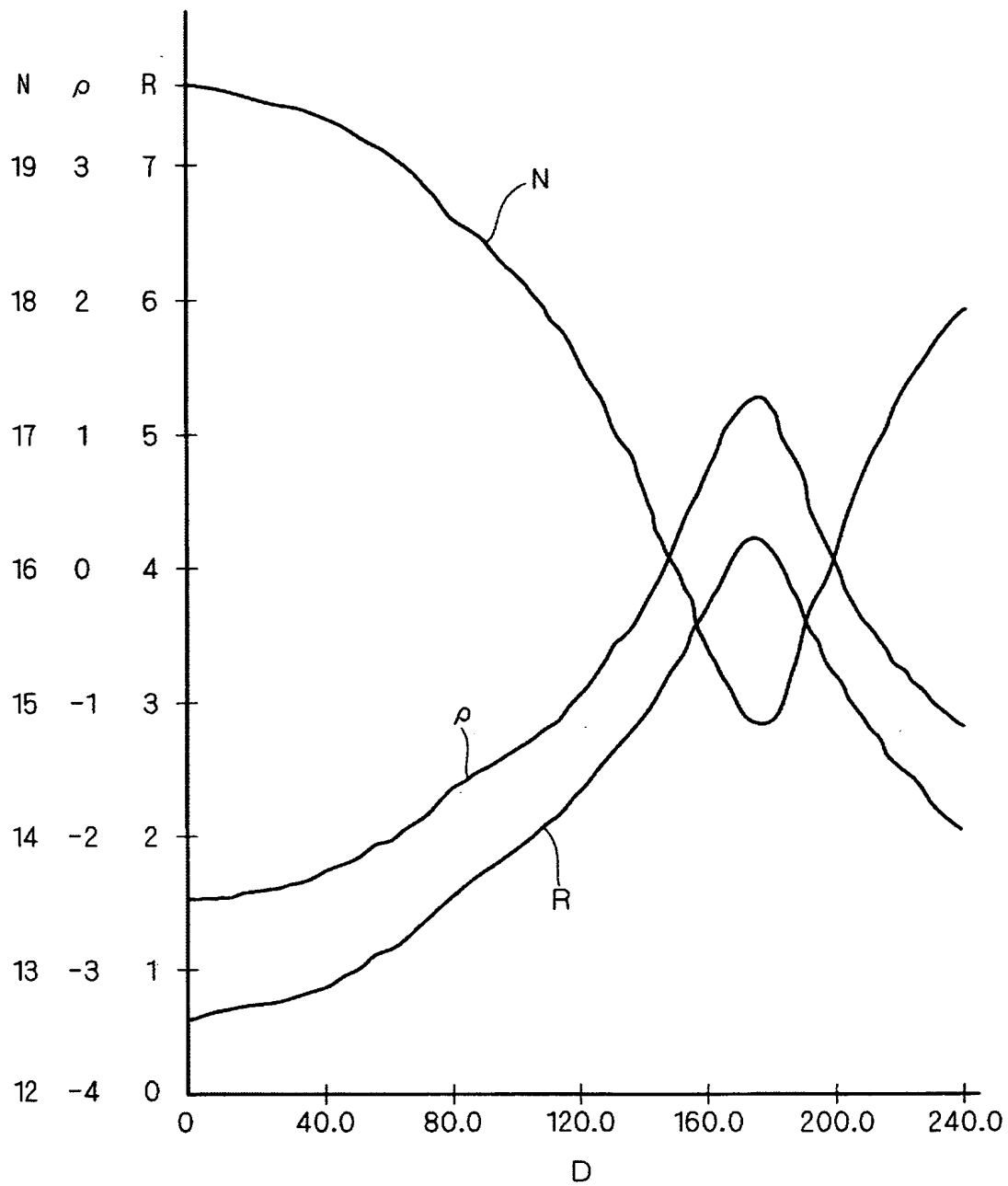
【図 10】



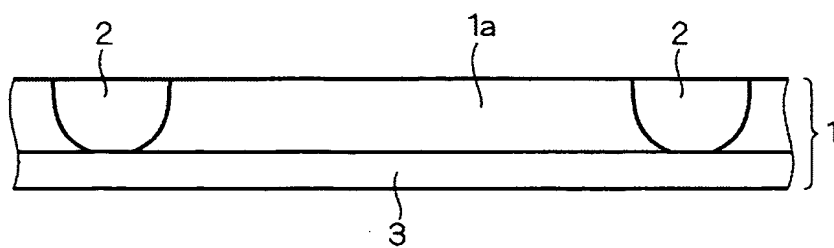
【図 11】



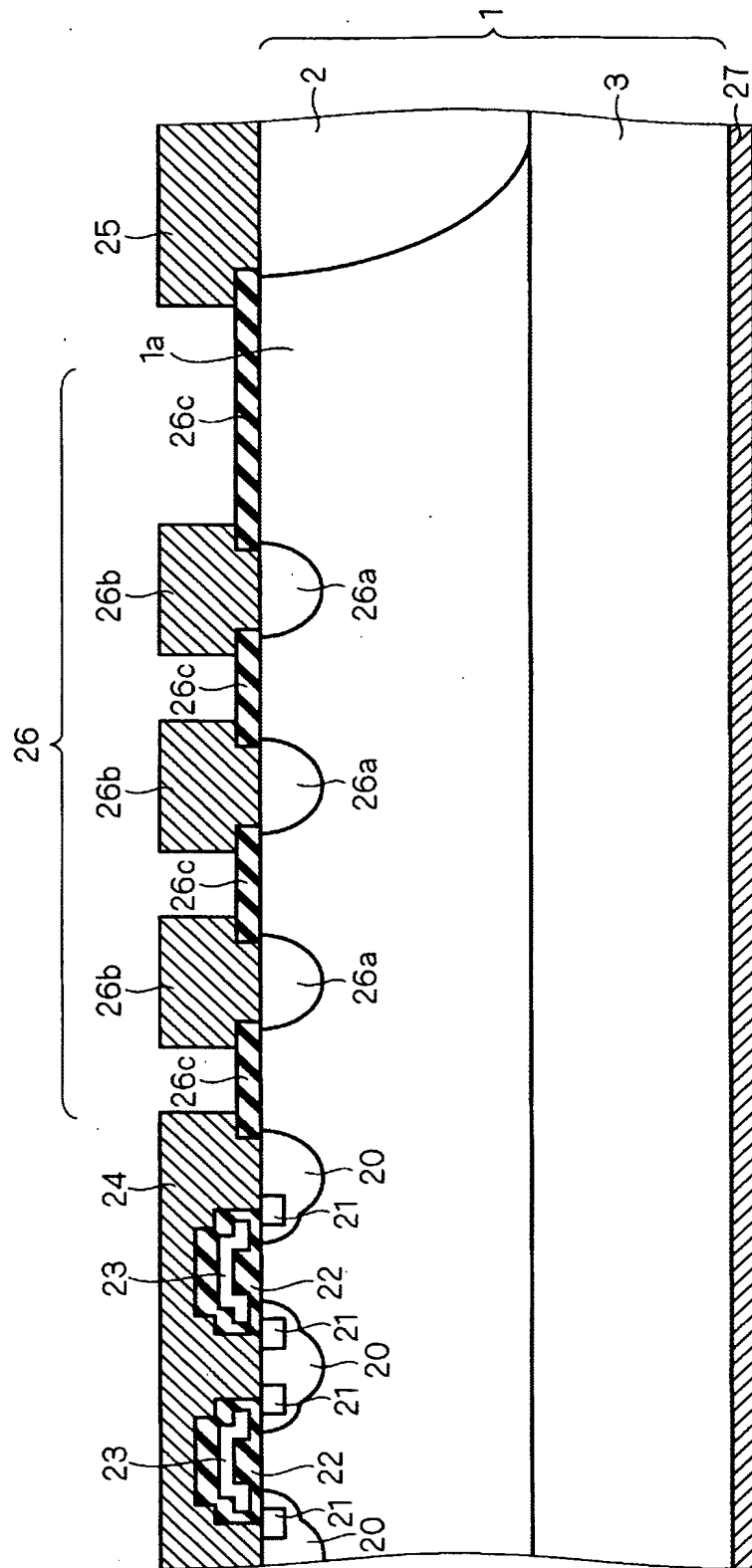
【図 12】



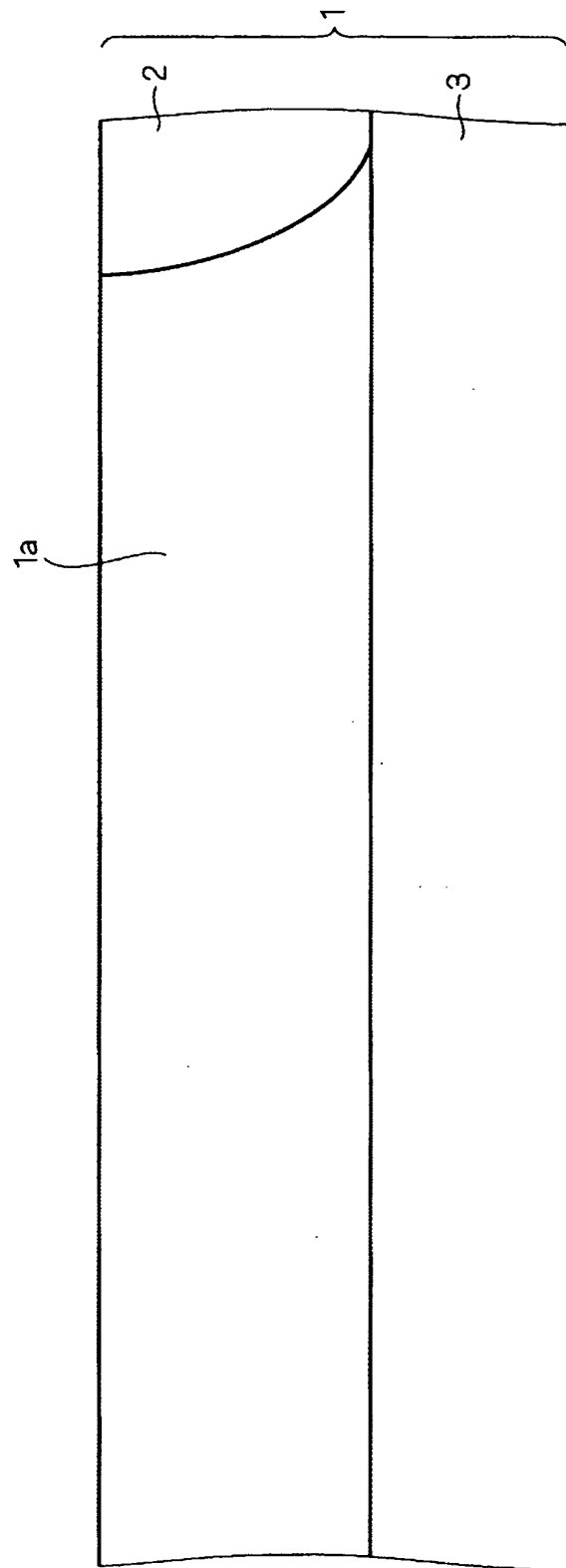
【図 13】



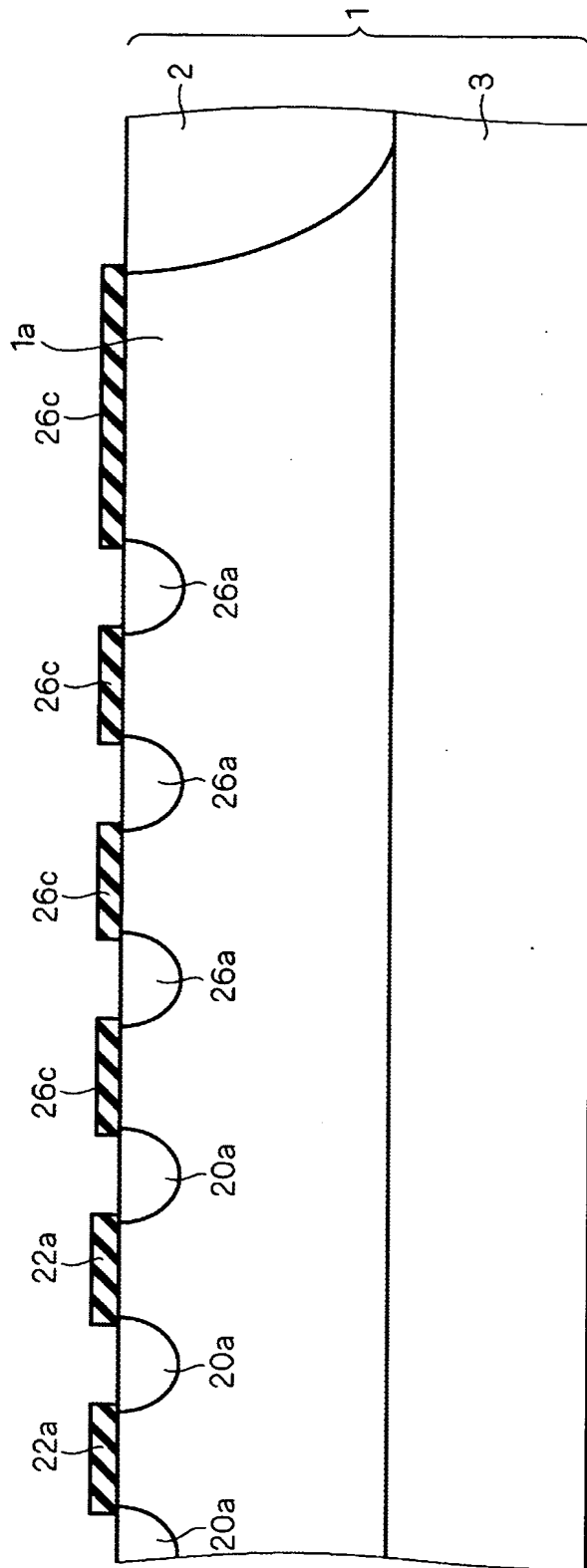
【図 14】



【図 15】

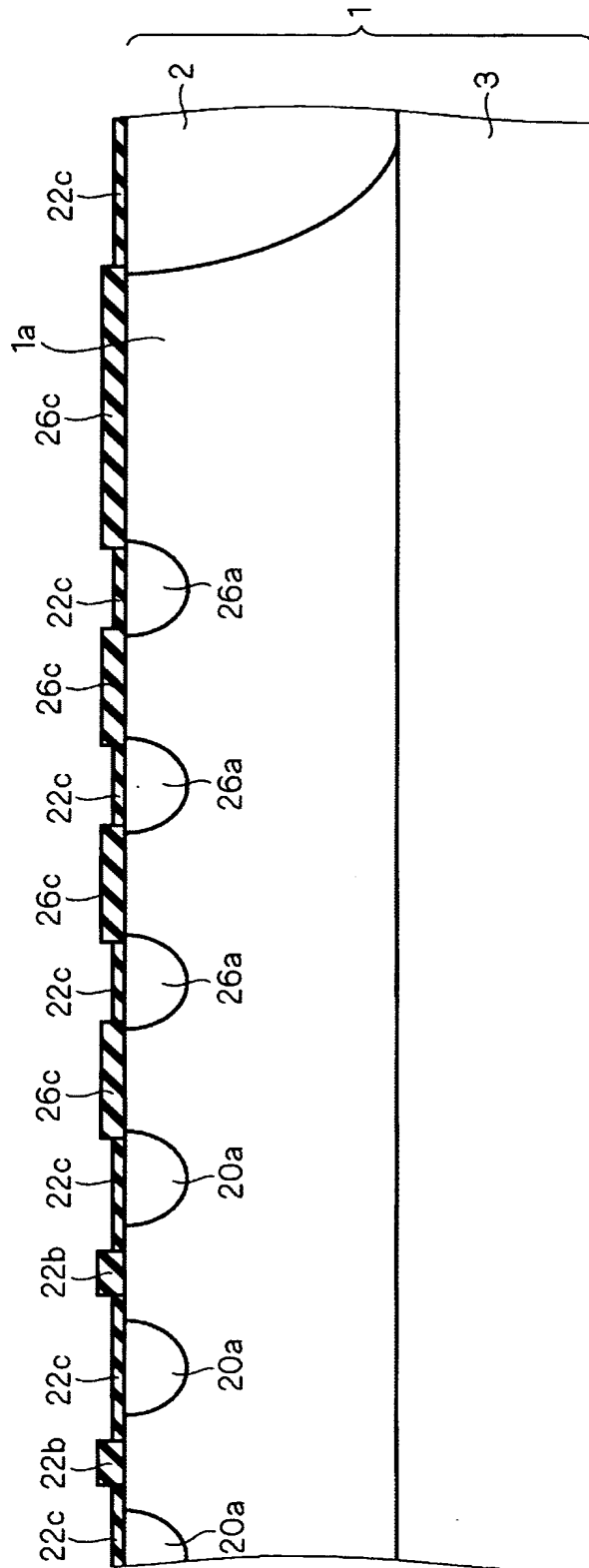


【図 16】

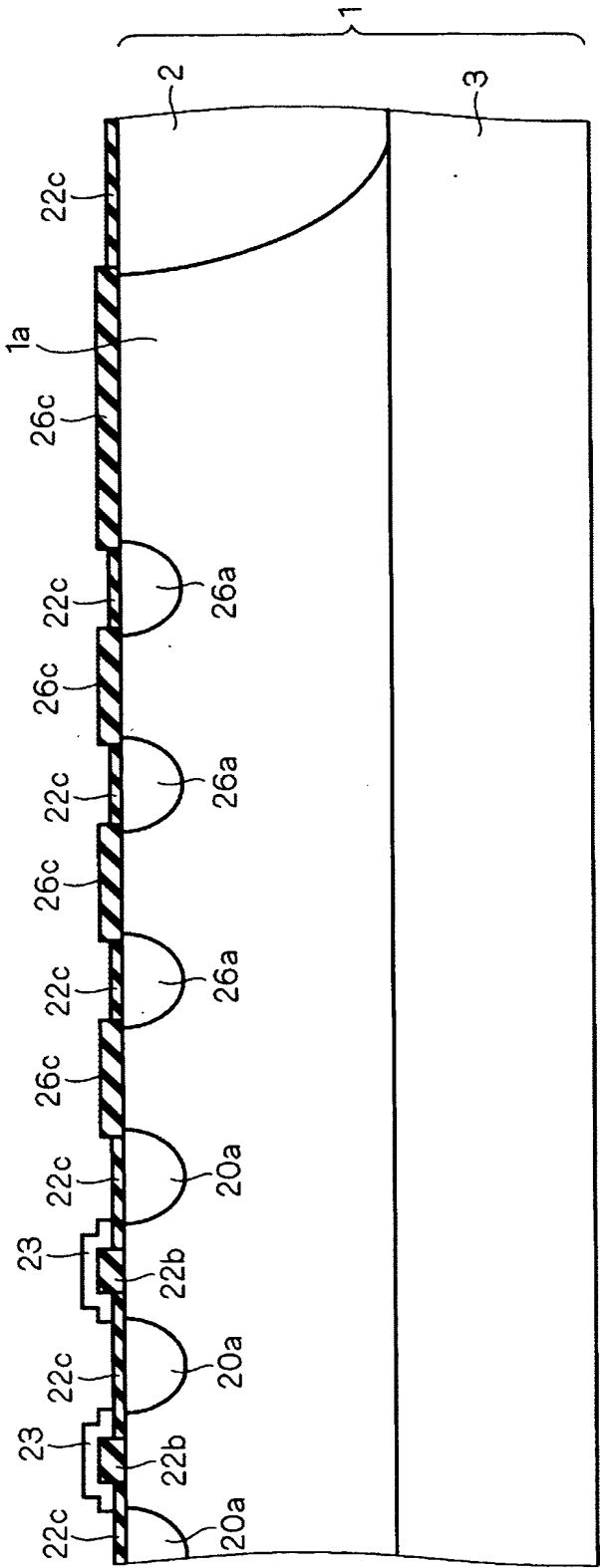




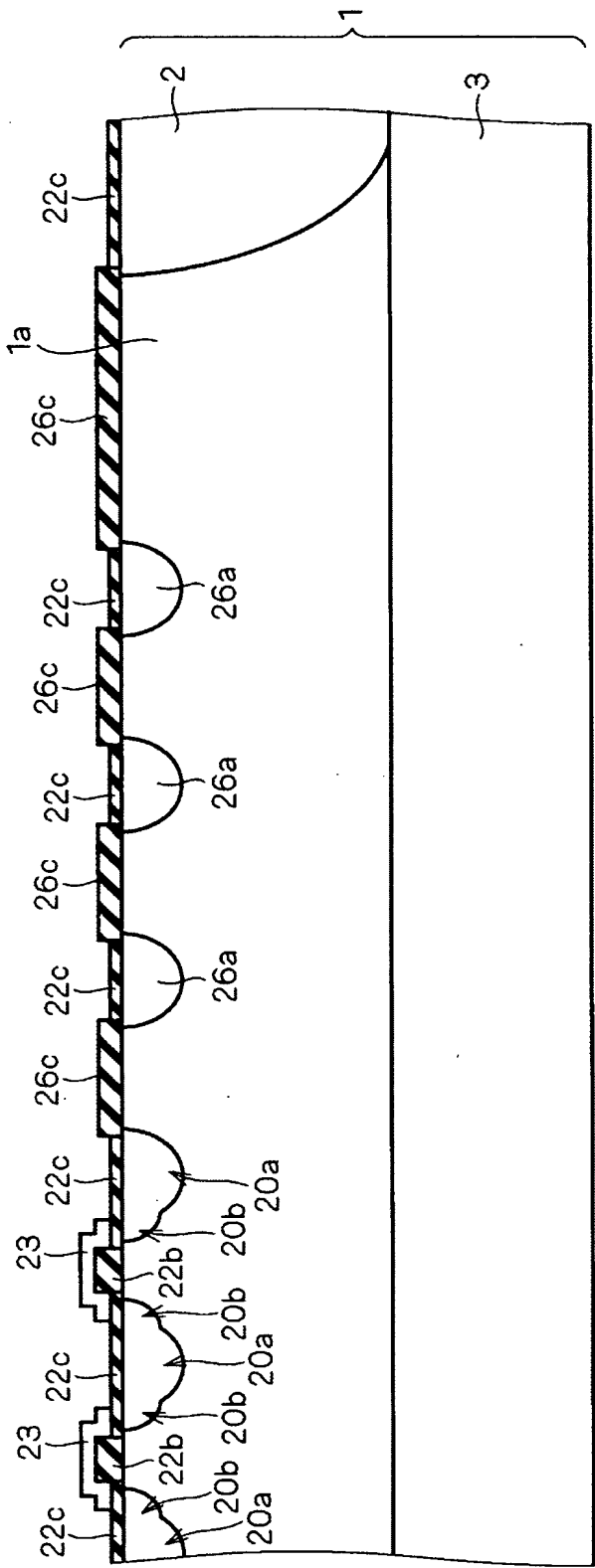
【図 17】



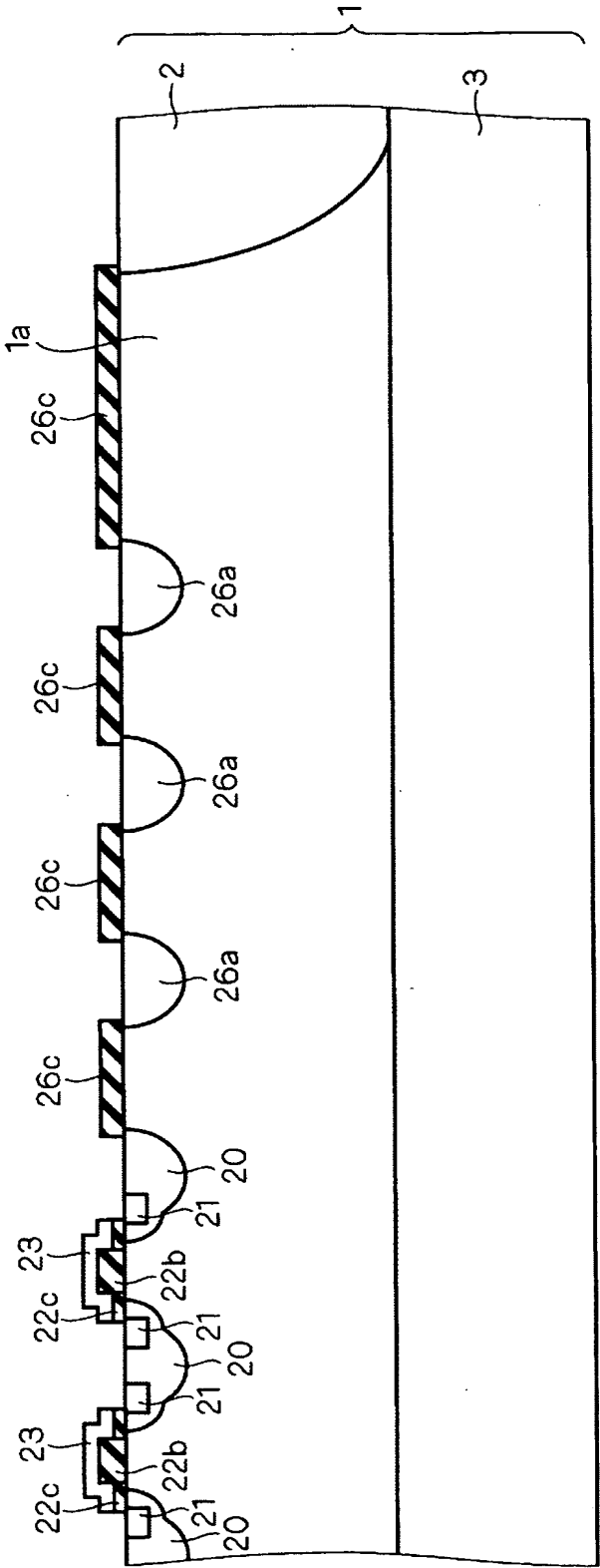
【図 18】



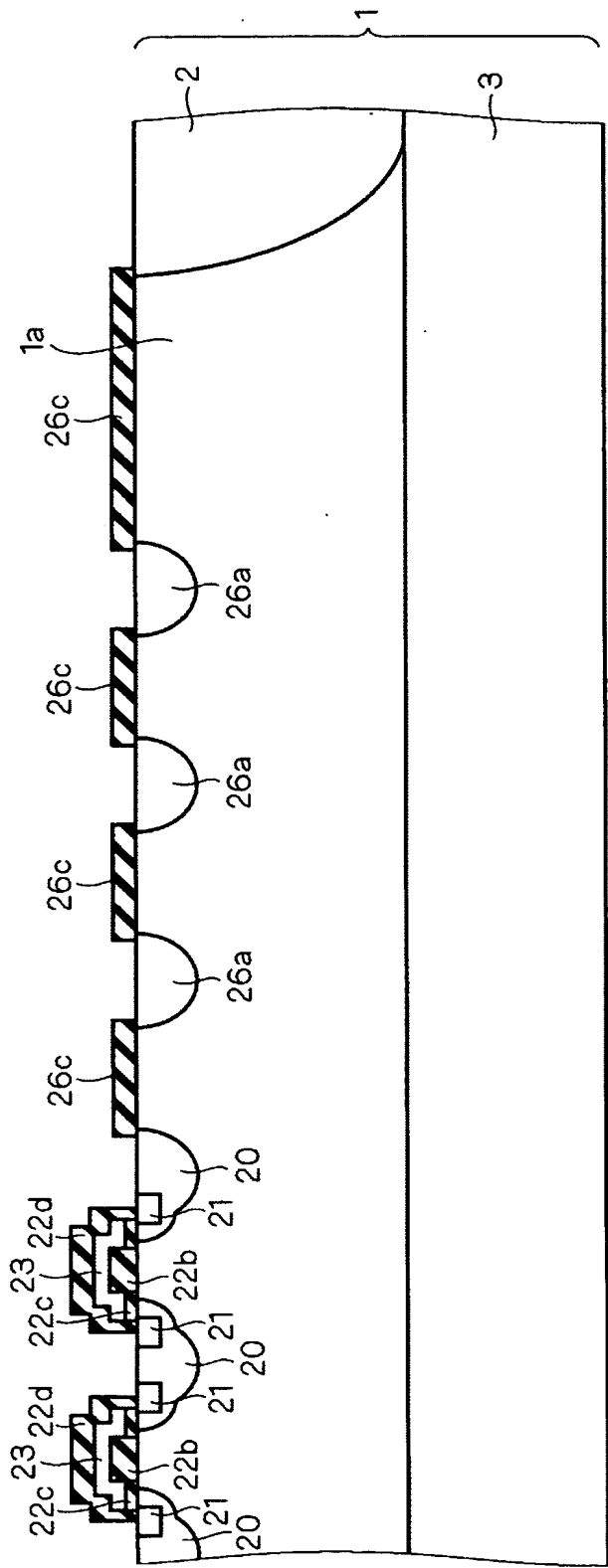
【図 19】



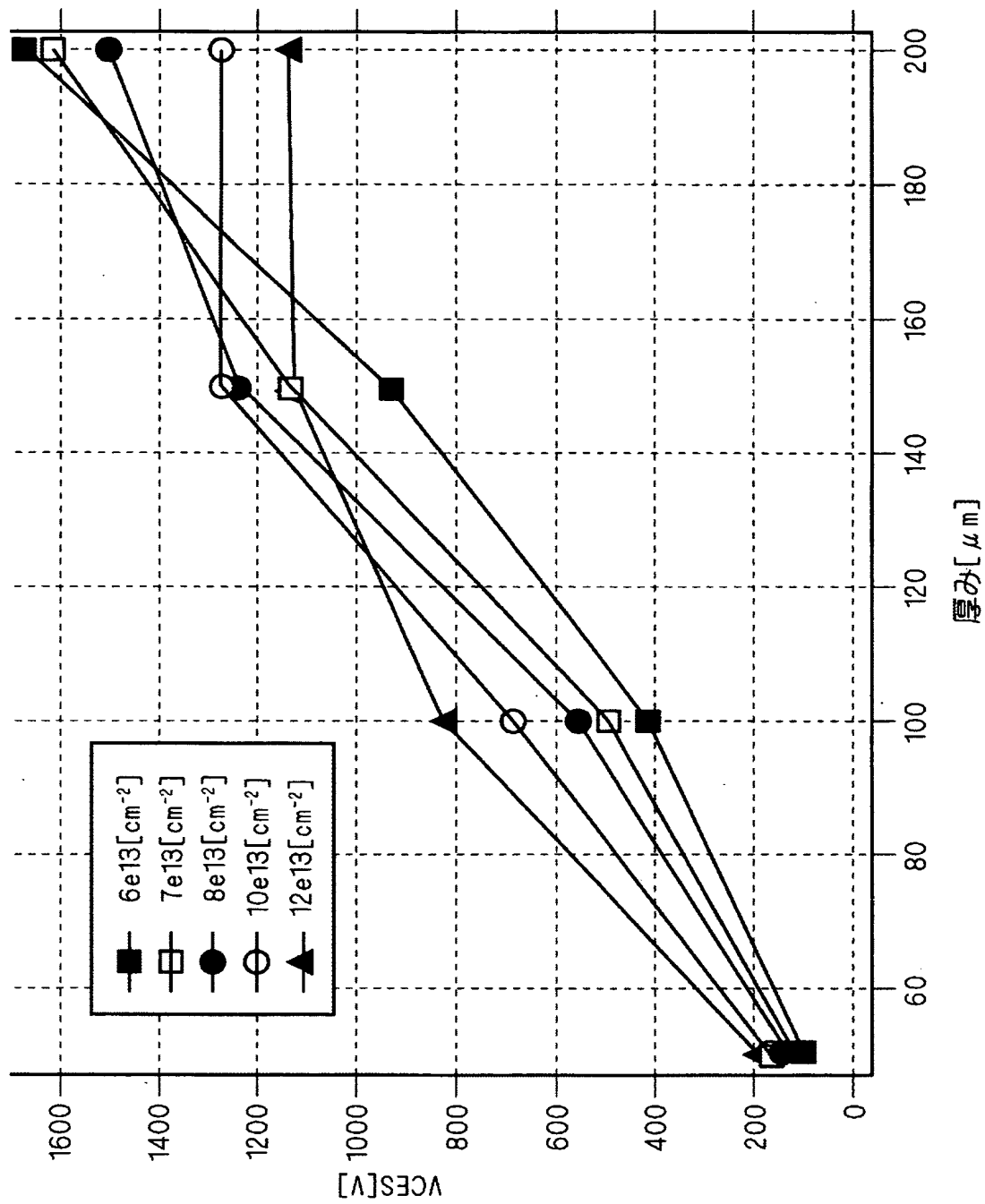
【図 20】



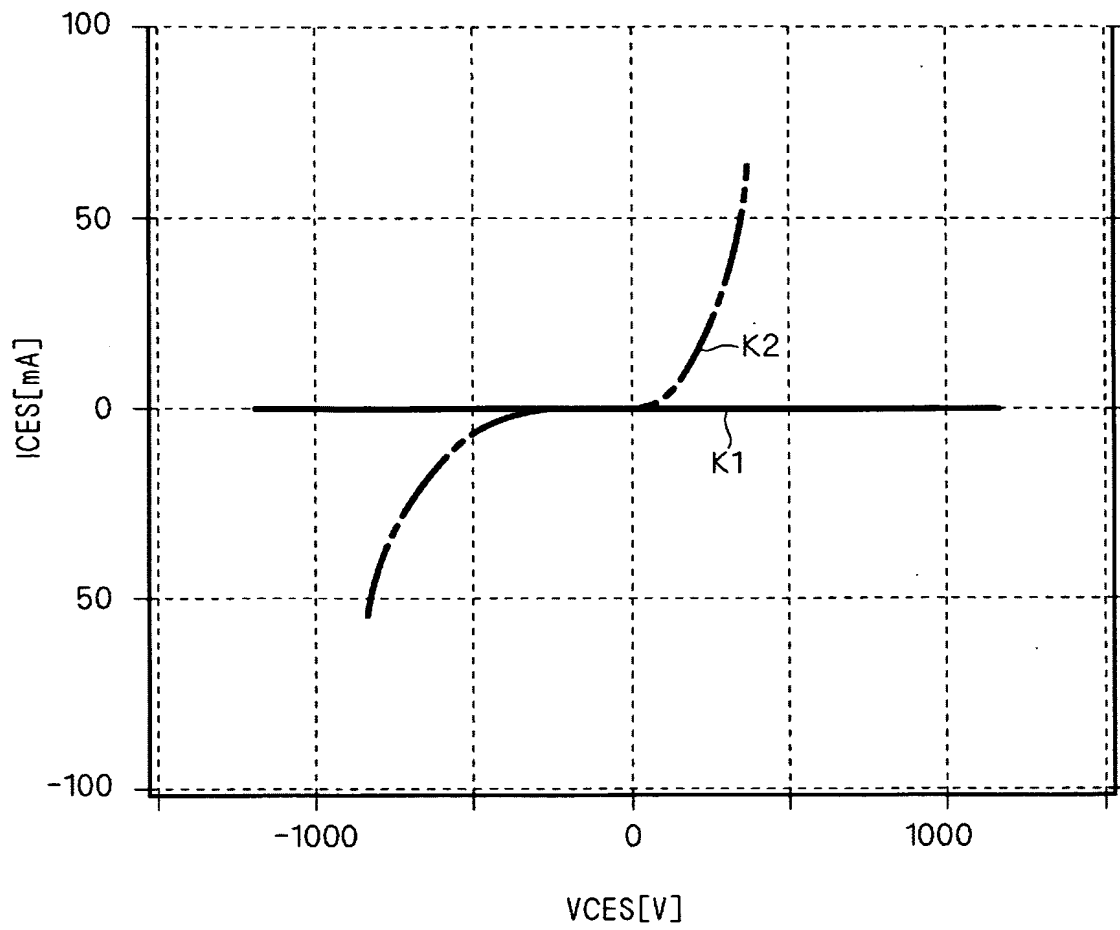
【図 21】



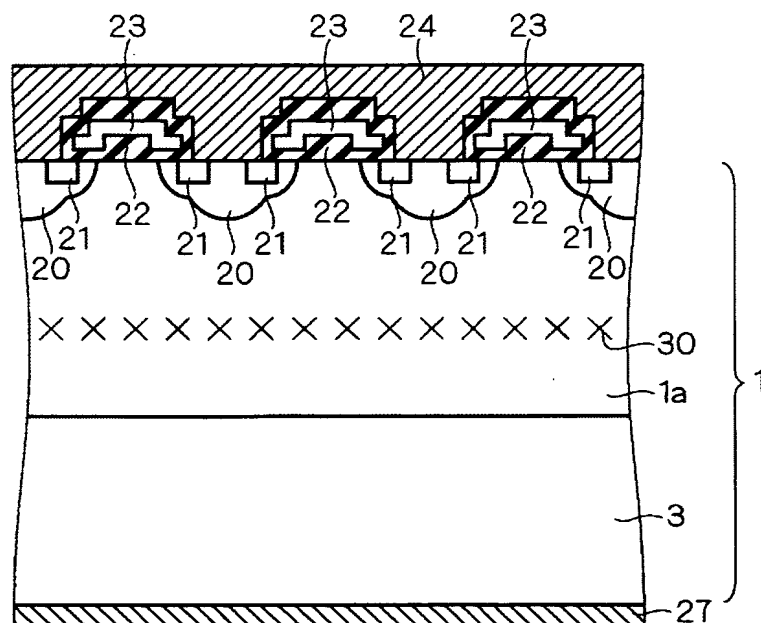
【図22】



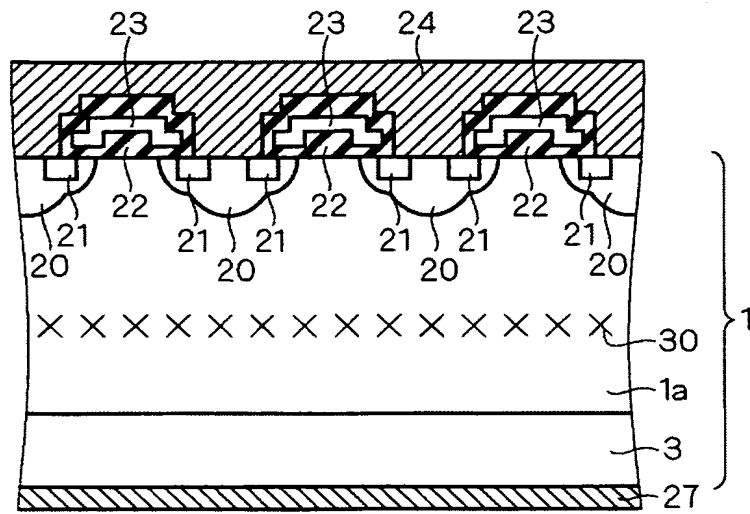
【図 2 3】



【図 2 4】

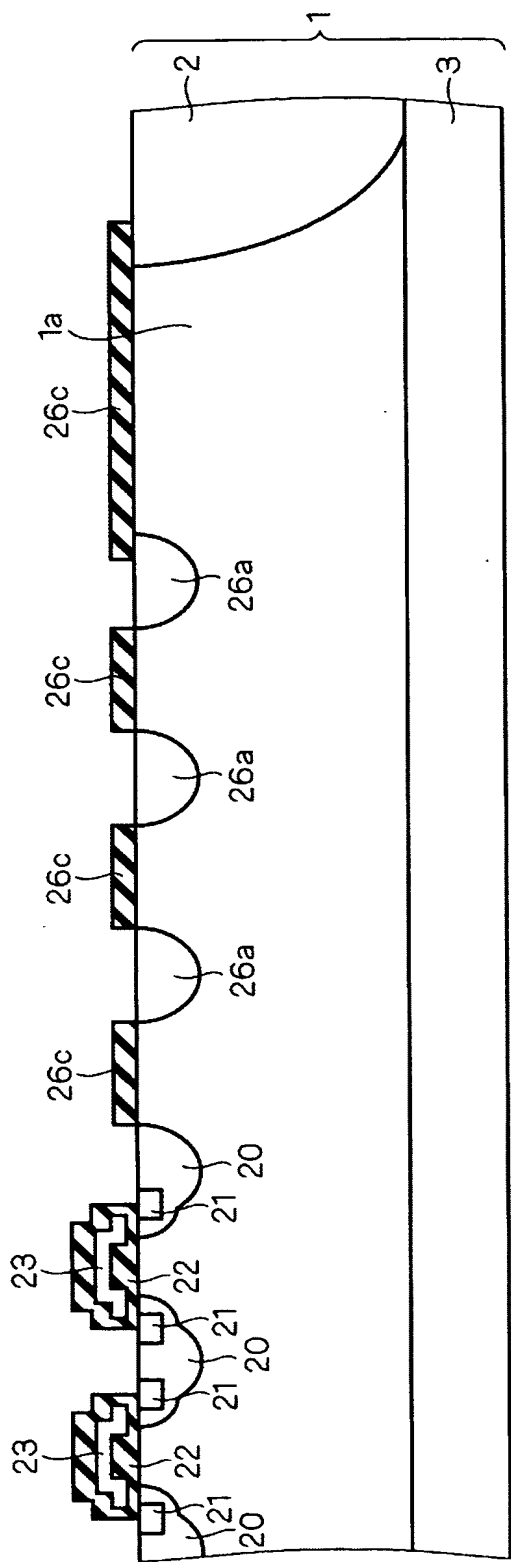


【図 25】

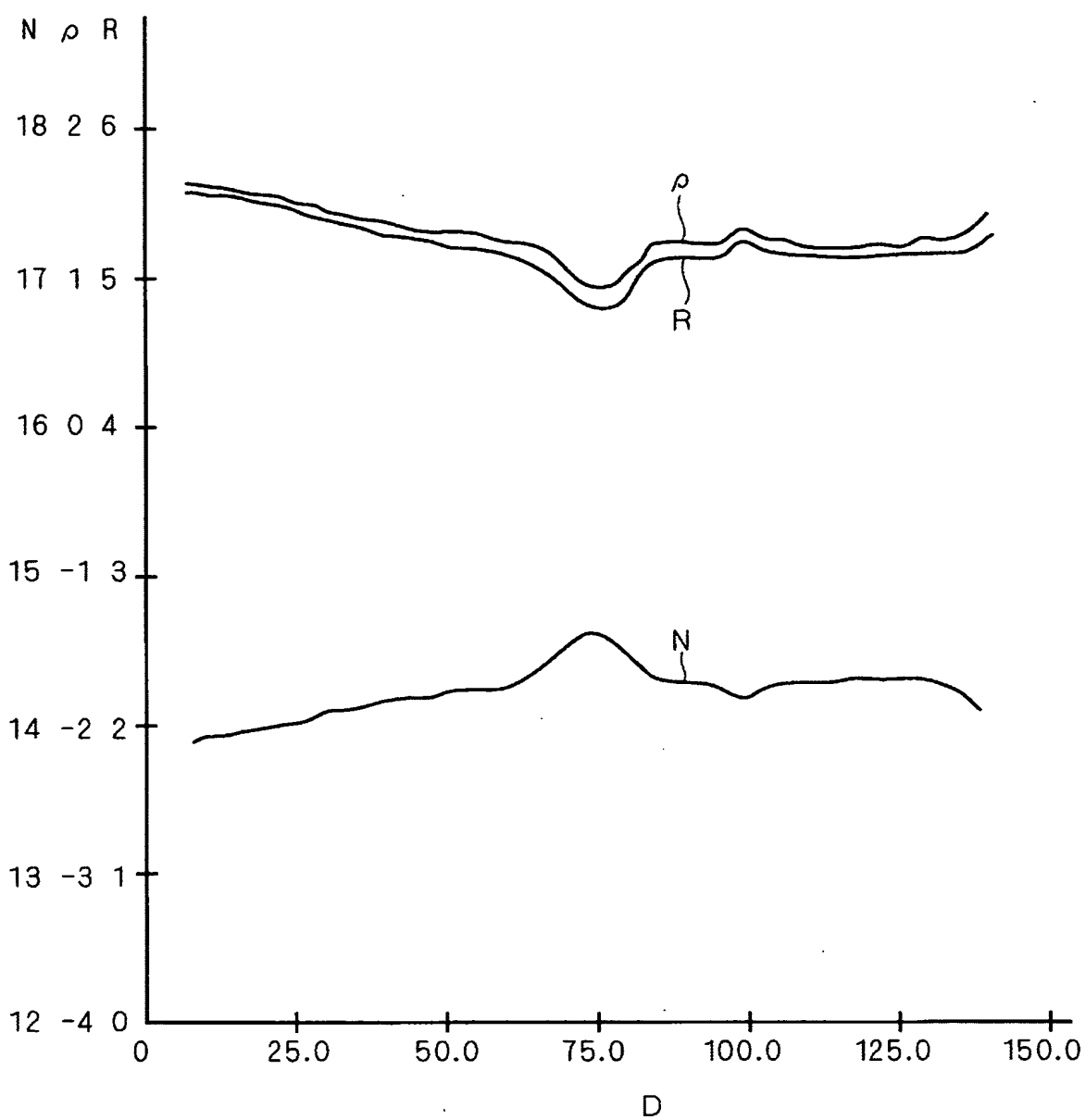




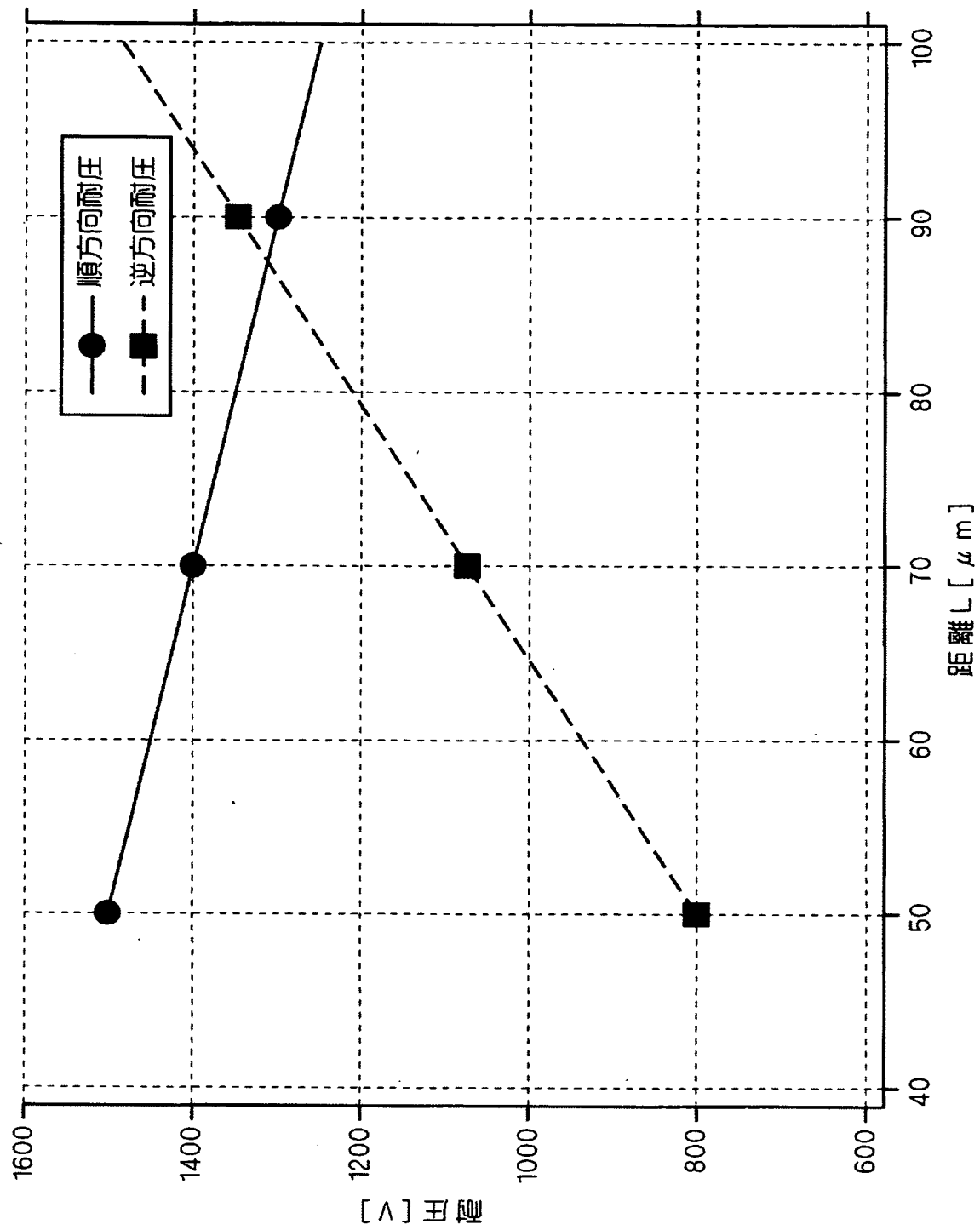
【図 26】



【図 27】

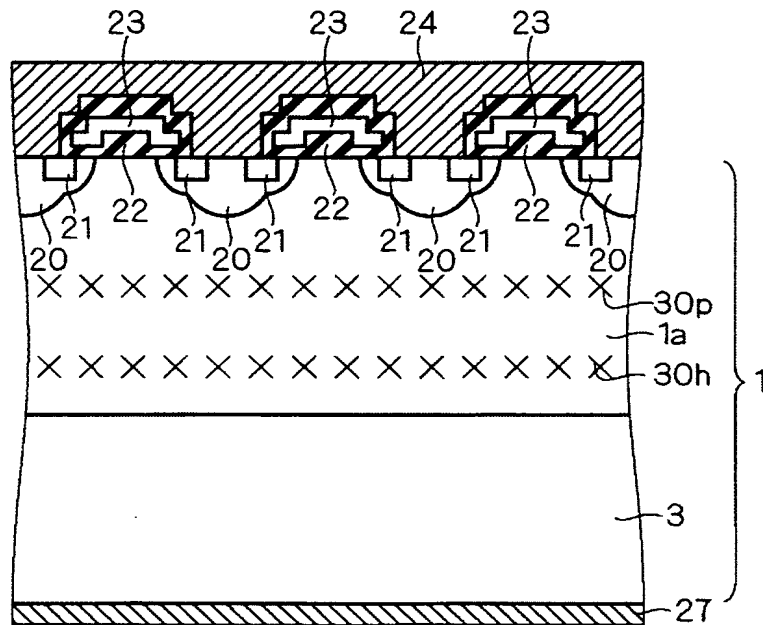


【図 28】

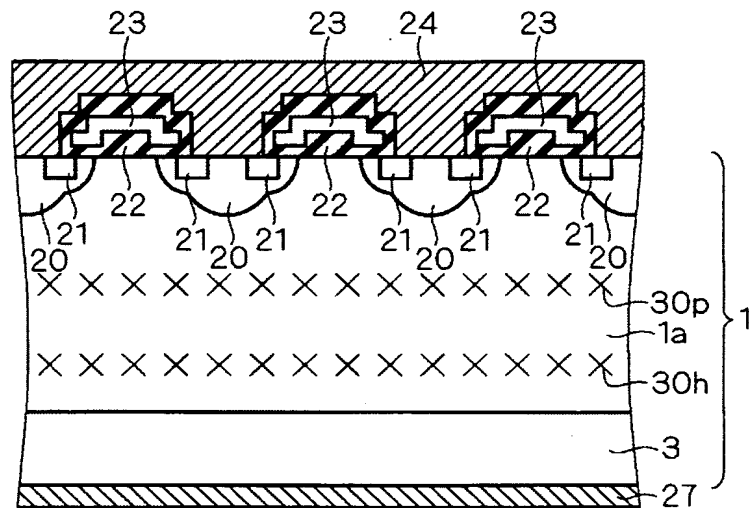




【図 3 1】



【図 3 2】



【書類名】 要約書

【要約】

【課題】 双方向に耐圧を保持でき、かつ信頼性の高い半導体装置及びその製造方法、並びに半導体基板及びその製造方法を得る。

【解決手段】 N-型シリコン基板 1 は、互いに対向する底面及び上面を有している。N-型シリコン基板 1 の底面内には、P 型不純物の拡散によって、高濃度の P 型不純物拡散層 3 が全面的に形成されている。また、N-型シリコン基板 1 の上面内には、P 型不純物の拡散によって、P 型分離領域 2 が部分的に形成されている。P 型分離領域 2 は、P 型不純物拡散層 3 の上面に達する底面を有している。また、N-型シリコン基板 1 の上面側から眺めた場合、P 型分離領域 2 は、N-型シリコン基板 1 の一部分である N-領域 1 a を取り囲んで形成されている。そして、P 型分離領域 2 によって取り囲まれた上記 N-領域 1 a が、N-型シリコン基板 1 の素子形成領域として規定される。

【選択図】 図 2

## 認定・付加情報

特許出願の番号	特願 2003-194129
受付番号	50301137949
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 15 年 7 月 14 日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000006013
【住所又は居所】	東京都千代田区丸の内二丁目 2 番 3 号
【氏名又は名称】	三菱電機株式会社

## 【代理人】

申請人

【識別番号】	100089233
【住所又は居所】	大阪府中央区城見 1 丁目 4 番 7 0 号 住友生命 O B P プラザビル 1 0 階 吉田・吉竹・有田特許事 務所

【氏名又は名称】	吉田 茂明
----------	-------

## 【選任した代理人】

【識別番号】	100088672
【住所又は居所】	大阪府中央区城見 1 丁目 4 番 7 0 号 住友生命 O B P プラザビル 1 0 階 吉田・吉竹・有田特許事 務所

【氏名又は名称】	吉竹 英俊
----------	-------

## 【選任した代理人】

【識別番号】	100088845
【住所又は居所】	大阪府中央区城見 1 丁目 4 番 7 0 号 住友生命 O B P プラザビル 1 0 階 吉田・吉竹・有田特許事 務所

【氏名又は名称】	有田 貴弘
----------	-------

特願 2 0 0 3 - 1 9 4 1 2 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社